Elektronik
Sonderheft Nr. 51
Preis 19.– DM
sf 19.–, öS 162.–

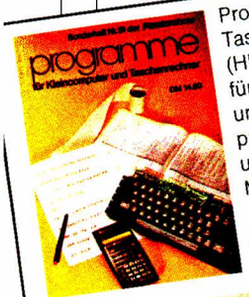
Schaltungspraxis

mit µC-Praxis

Franzis'

Franzis-Sonderhefte
für alle Mikrocomputer-Interessierte

Welchen Weg der Mikrocomputer gehen wird, läßt sich noch nicht vorherbestimmen. Vor allem im Anwendungsbereich steht die Entwicklung erst am Anfang. Eines aber ist absehbar, jeder der auch nur am Rande mit Elektronik zu tun hat, wird davon berührt werden bzw. ist heute schon fest damit verbunden.
Mit diesen Sonderheften wollen wir jeden Berufs- oder Hobby-Elektroniker aktuell über den neuesten Stand informieren. Welches Heft für Sie als Informationsquelle in Frage kommt, können Sie aus nachstehender Tabelle ersehen.



Programme für Taschenrechner (HP- und TI-Serien), für Basic-Computer und für die Mikroprozessoren Z-80 und 6502 auch in Maschinensprache

Zahlreiche neue Beiträge.

Für alle Computerbesitzer und solche, die es werden wollen

80 Seiten, DM 14.80

Hardwareorientierte Einführung mit µP 2650.

Sammlung der in der ELO bereits erschienenen gleichlautenden Beitragsreihe.

Anfänger

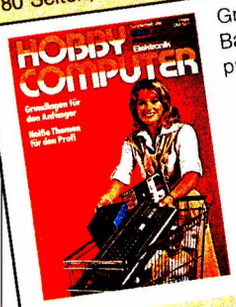
144 Seiten, DM 18.–

Hard- und Software-Grundlagen.

Gesammelte Beiträge der in der FUNKSCHAU bereits erschienenen gleichnamigen Reihe.

Anfänger

68 Seiten, DM 9.50

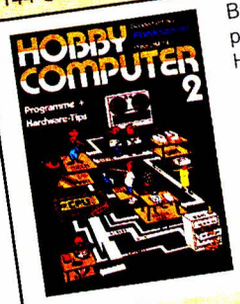


Grundlagen, einfache Basic- und Maschinenprogramme.

Überwiegend Beiträge, die bisher nirgendwo erschienen sind.

Anfänger und Fortgeschrittene

136 Seiten, DM 19.–



Basic- und Maschinenprogramme, Hardware-Tips.

Ausschließlich exklusive Beiträge.

Fortgeschrittene

80 Seiten, DM 14.–

Programmierhilfen, Markttendenzen, 16-Bit-Prozessoren, Adressen von Herstellern.

Überwiegend Beiträge aus der ELEKTRONIK.

Industrielle Anwender

136 Seiten, DM 18.–

Programme in Basic, Maschinensprache, Pascal und für Taschenrechner der HP- und TI-Serien.

Die Beiträge sind sonst nirgendwo erschienen.

Für alle Computer-Besitzer und solche, die es werden wollen.

80 Seiten, DM 15.60

Grundlagen, Technik, praxisnahe Anwendungen.

Überwiegend bewährte Beiträge aus der ELEKTRONIK.

Industrielle Anwender, die sich mit dem Einsatz von automatischen Meßsystemen beschäftigen.

84 Seiten, DM 19.–

Grundlagen, Programmiertechnik, Unterschiede zu anderen Programmiersprachen, Beschreibung von Systemen.

Überarbeitete Beiträg aus der ELEKTRONI

Mikrocomputer-Entwickler und -Anwender

64 Seiten, DM 18.50

Hier erhalten Sie diese Sonderhefte:

Bei vielen Zeitschriftenverkaufsstellen, allen Bahnhofsbuchhandlungen, größeren Buchhandlungen und Elektronik-Bauteilehändlern oder gegen Vorauszahlung direkt vom Franzis-Verlag.

Wir bitten Sie, in diesem Fall als Bestellung den genannten Betrag plus 1.50 DM Porto auf unser Postscheckkonto München Nr. 813 75-809 mit genauer Nennung des jeweiligen Titels zu überweisen oder einen Scheck über diese Summe einzusenden.

Franzis-Verlag

Karlstraße 37, 8000 München 2
Telefon (0 89) 51 17-2 39.

Die Hefte erhalten Sie in der Schweiz auch beim Verlag Thali AG, CH-6285 Hitzkirch und in Österreich beim Fachbuch Center Erb, A-1061 Wien, Amerlingstraße 1

Schaltungsideen als Denkanstöße

Oft wird von seiten der ELEKTRONIK-Leser der Wunsch an die Redaktion herangetragen, mehr Schaltungspraxis-Beiträge zu veröffentlichen. Eine Leserumfrage im letzten Jahr zeigte von allen Themen und Sachgebieten stärkstes Interesse für diese Rubrik. Deshalb entschloß sich die Redaktion, hierzu erstmals ein Sonderheft zu veröffentlichen.

Die Beiträge stammen zum Großteil aus den Rubriken „Schaltungspraxis" und „µC-Praxis" der Jahre 1979 und 1980. Es ergeben sich also keine Überschneidungen mit dem 1978 im Franzis-Verlag erschienenen Buch „Industrielle Elektronik-Schaltungen", das seine Beiträge ebenfalls der „Schaltungspraxis" entnommen hat. Etwa 15 % dieses Sonderheftes bestehen aus bisher unveröffentlichten Schaltungsideen.

Die Auswahl wurde so getroffen, daß der praktisch tätige Ingenieur, dessen täglich Brot die Konzeption neuer Schaltungen ist, für seine Arbeit eine wertvolle Unterstützung findet und Entwicklungszeit und Kosten einspart. Es sind einfache Schaltungen von großer Anwendungsbreite enthalten, die zum Teil so allgemeiner Art sind, daß sich für viele Probleme zumindest Denkanstöße ergeben. Einige Schaltungen bieten darüber hinaus Lösungen zu speziellen Problemen an. – Allen ist gemeinsam, daß sie aus der Praxis der industriellen Elektronik stammen. Sie sind nach bestimmten Kriterien einzelnen Kapiteln zugeordnet, von denen die „µC-Praxis" mit 12 Beiträgen auf 20 Druckseiten den größten Raum einnimmt.

Nebenbei: Der Schaltungsausschnitt im Kopf des Titelbildes entstand nicht etwa in der Phantasie, sondern ist Teil des Beitrages auf S. 22: „Digitaler Wobbelgenerator" von Claudia Bolik, die damit 1979 den ersten Preis im ELEKTRONIK-Schaltungswettbewerb gewann.

Wir sind sicher, daß Sie in Ihrem beruflichen Alltag größtmöglichen Nutzen aus diesem Heft ziehen. Können Sie von den 60 Schaltungsideen auch nur eine brauchen, so hat sich der Kauf des Heftes für Sie schon gelohnt. – Ergibt sich für Sie nicht auch der Anreiz, selbst einmal einen Beitrag für die Rubriken „Schaltungspraxis" und „µ-Praxis" zu schreiben?

Ihre
ELEKTRONIK-Redaktion

Inhalt

Vorwort

Schaltungsideen als Denkanstöße 1

Allgemeine Digitaltechnik

BCD-Ausgang für Digitalvoltmeter-Modul 4
Tastenfelddecodierer mit beliebiger Wortlänge 4
Symmetrierung periodischer digitaler Signale 5
Symmetrische Frequenzteilung 6
Logiktester für CMOS-Schaltungen 8
Anzeigenbereichsumschaltung mit Hysterese 9
Serieller Datensimulator 10
Analogsignale digital verzögert 11

Interface-Schaltungen

IEC-Bus-Monitor 13
CMOS-Leitungstreiber wird zum Tristate-Bauelement 15
Automatisches Umschalten eines Druckers zwischen mehreren Rechnern 16
Interface zwischen Mikrocomputer und Fernschreibmaschine 17
Befehlsdecodierer für 20-mA-Schnittstelle 19

Signalerzeugung

Markengeber für Wobbelgeneratoren 21
Digitaler Wobbelgenerator 22
Einfacher Funktionsgenerator 23
Hochwertiger durchstimmbarer Nf-Sinusgenerator 24
Universeller Nf-Burst-Generator 25
Burst-Zusatz für Nf-Generatoren 27
Programmierbarer Funktionsgenerator 28

Meßtechnik

Oszilloskopsteuerung mit Markengenerator 31
Selbsteinstellende Zeitbasis 32
Meßaufbau für sehr niedrige Frequenzen 33
Präzisionskomparator mit Hysterese 35
Absolutwertkomparator 36
Direktes Messen niedriger Frequenzen 37

Meßwerterfassung und -verarbeitung

Gaußmeterzusatz für DVM 39
Preiswerter A/D-Umsetzer arbeitet genau 40
Dual-Slope-A/D-Umsetzer mit digitalem Integrator 43
Lock-In-Verstärker mit multiplizierendem D/A-Umsetzer 45
Schneller D/A-Umsetzer aus ECL-NOR-Gattern 46

Inhalt

Stromversorgung

Gleichspannungswandler zur Hilfsspannungserzeugung 49
Stabilisierte negative Hilfsspannung 50
Integrierte Überspannungs-Schutzschaltung 51
Doppelnetzteil mit Bezugsregelung 53
Labornetzgerät mit verringerter Verlustleistung 55
Prüfeinrichtung für Netzgeräte 56
Hochspannungsnetzgerät mit geringer Verlustleistung 57
Ladegerät für NiCd-Akkumulatoren 59
Spannungsregler für akkugespeiste Geräte 60

Spezialschaltungen

Automatischer Nullabgleich 61
Drehstrom für kollektorlose Motoren digital erzeugt 62
Elektronische Drehfeldüberwachung 63
Gleichspannungs-Invertierung mit CMOS-Gatter 64
CMOS-Bausteine ersetzen Vielfach-Potentiometer 65
Einfacher DCF77-Empfänger 66
Belichtungsgerät für die Dunkelkammer 66
Aussteuerautomatik ohne Dynamikverlust 68

µC-Praxis

„Watch-dog"-Schaltungen erkennen µP-Systemstörungen 69
Multifunktionsgatter erzeugt Statussignal 72
Gewinnen des Taktsignals mit internem Quarzoszillator 73
Arithmetik-Modul für 8085-Bus 73
Erzeugen netzspannungsgesteuerter Programmunterbrechungen . . 75
Interrupt-Schaltung für Z80-Systeme 76
Uhrzeit- und Datumseinheit für µC-Systeme 77
Memory-Mapping für Mikroprozessoren 79
Spannungen und Frequenzen mit geringem Aufwand gemessen 80
Mikrocomputer als EPROM-Programmiergerät 82
Universell verwendbares EPROM-Programmiergerät 84
Ein-/Ausgabe-Erweiterung für Mikrocomputer 87

1981
Franzis-Verlag GmbH, Karlstraße 37, 8000 München 2.
Sonderheft der Zeitschrift ELEKTRONIK.
Redaktion: Klaus-Günter Schultz, für den Text verantwortlich: Günther Klasche.

© Sämtliche Rechte – besonders das Übersetzungsrecht – an Text und Bildern vorbehalten. Fotomechanische Vervielfältigung nur mit Genehmigung des Verlages. Jeder Nachdruck, auch auszugsweise, und jede Wiedergabe der Abbildungen, auch in verändertem Zustand, sind verboten.

ISSN 0170-0898
Druck: Franzis-Druck GmbH, Karlstr. 35, 8000 München 2
ZV-Artikel-Nr. 51021 · F/ZV/581/452/8'

BCD-Ausgang für Digitalvoltmeter-Modul

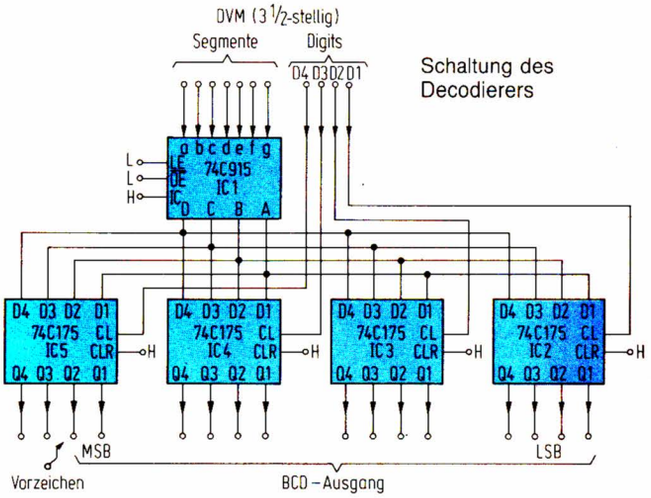
Die meisten Digitalvoltmeter-Bausteine steuern Siebensegment-Anzeigeeinheiten im Multiplexbetrieb an. Für viele Anwendungen ist es aber wünschenswert, daß die Information im BCD-Code parallel zur Verfügung steht. Damit ist eine problemlose Weiterverarbeitung der Daten gewährleistet. Ein entsprechender Code-Umsetzer kann recht einfach realisiert werden.

IC 1 (74C915) setzt das Siebensegmentsignal, das vom DVM-Modul abgegriffen wird, in den BCD-Code um. Es schließt sich ein Demultiplexer, bestehend aus IC 2...IC 5 (74C175), an.

Der Siebensegment-zu-BCD-Decodierer 74C915 (National Semiconductor) ist recht universell einsetzbar. Er gestattet es, sowohl Anzeigeeinheiten mit gemeinsamer Anode als auch gemeinsamer Katode anzuschließen. Bei gemeinsamer Anode ist ein aktiviertes Segment auf Masse geschaltet (negative Logik). Durch Anlegen eines H-Pegels an den Anschluß Invert Control (IC) des IC 1 werden Siebensegmentsignale in negativer Logik decodiert. L-Pegel führt zum Umschalten auf positive Logik, mit der Moduln arbeiten, die zum Betrieb von Anzeigeeinheiten mit gemeinsamer Katode konzipiert sind.

Der Demultiplexer besteht aus vier Vierfach-D-Flipflops, die durch die Digit-Leitungen des DVM-Moduls getaktet werden. Die Datenübernahme erfolgt mit der positiven Flanke. Die Ausgänge von IC 2...IC 5 liefern das BCD-Signal in paralleler Form. Das Vorzeichen steht je nach DVM-Baustein an Q 2...Q 4 der höchstwertigen Stelle (MSB) zur Verfügung. Der geringe Eingangsstrombedarf der CMOS-ICs erlaubt ein nahezu beliebiges Erhöhen der Stellenzahl.

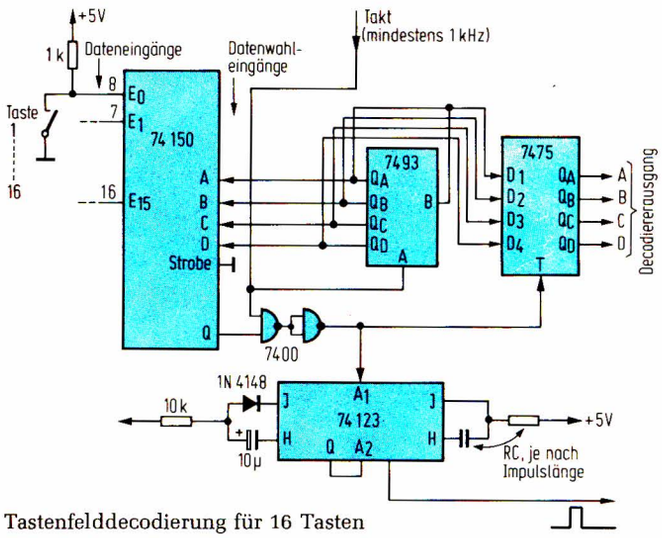
Kurt Schmid



Tastenfelddecodierer mit beliebiger Wortlänge

Für einen selbstgebauten, programmierbaren Rechner wurde eine Tastenfelddecodierung entwickelt, bei der die Zuordnung zwischen Tasten und Ausgangskombinationen frei wählbar ist. Zudem ist die Wortlänge auf einfache Weise zu erweitern.

Die Schaltung besteht aus einem 16-Bit-Datenselektor (74 175), einem Binärzähler (7493) und einem Vierfach-D-Flipflop (74 175). Der Zähler steuert ständig die Select-Eingänge des Multiplexers an. Wird eine Taste gedrückt, erscheint bei dem zugehörigen Zählerstand am Ausgang des UND-Gatters ein Impuls, der die Flipflops triggert. Damit wird der Zählerstand übernommen und erscheint sofort am Ausgang. Dieser Impuls triggert außerdem das erste Monoflop (retriggerbar). Da die „An"-Zeit des Monoflops etwas länger als eine Zählperiode ist, wird das Monoflop so lange getriggert, wie eine Taste gedrückt wird. Das zweite Monoflop gibt nach dem Ende der „An"-Zeit des ersten einen Impuls ab, der als Übernahmeimpuls für die nachfolgende Schaltung verwendet werden kann, weil die Ausgangskombinationen ohne Pause aufeinanderfolgen. Sie entsprechen jeweils den Binärzahlen für den Eingang des Multiplexers. Die 1-kΩ-Widerstände und das UND-Gatter dienen der Störimpulsunterdrückung. Die Widerstände dürfen auf kei-



Tastenfelddecodierung für 16 Tasten

nen Fall weggelassen werden, da sonst eine einwandfreie Funktion nicht garantiert werden kann.

Die Wortlänge läßt sich leicht an die jeweiligen Gegebenheiten anpassen. Bei Verwendung eines BCD-Zählers (7490) erhält man nur die BCD-Kombinationen. Wenn man mehr als 16 Tasten anschließen will, muß man die Anzahl der Multiplexer entsprechend erhöhen. Für zwei Multiplexer (max. 32 Tasten) benötigt man außerdem noch ein Speicher- und ein Zählflipflop, das zwischen den Multiplexern umschaltet, und ein größeres UND-Gatter. Bei mehr als zwei Multiplexern ist außerdem noch ein Decodierer zum Ansteuern der Strobe-Eingänge erforderlich. Bei jeder Erweiterung ist entsprechend der Zählerlänge das RC-Glied des ersten Monoflops zu ändern und die Taktfrequenz entsprechend zu erhöhen.

Tilo Fuchs, Frank Barenthien

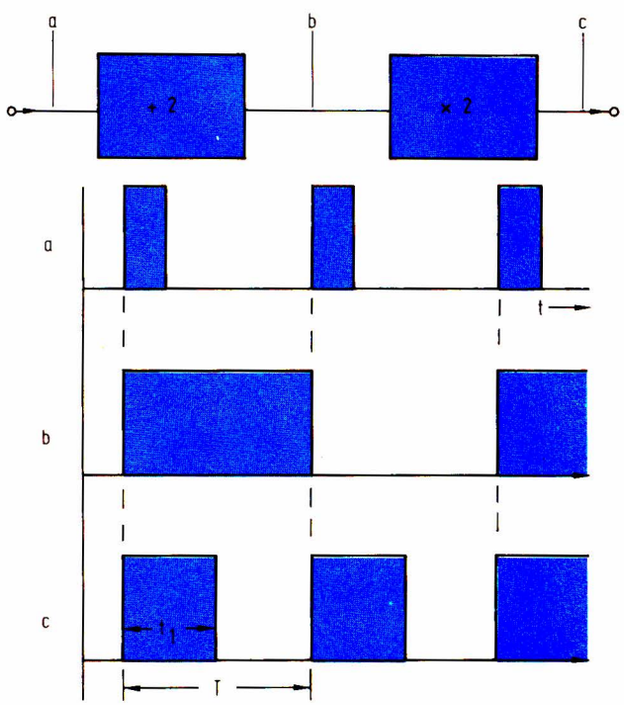
Symmetrierung periodischer digitaler Signale

Die beschriebene Schaltung liefert zu einem periodischen Eingangssignal mit beliebigem Tastverhältnis ein Ausgangssignal gleicher Frequenz und Phasenlage mit einem konstanten Tastverhältnis von $t_1/T = 50\ \%$. Das zugrundeliegende Prinzip verdeutlicht *Bild 1*. Teilung des Eingangssignals (a) durch zwei ergibt ein symmetrisches Signal der halben Frequenz (b). Geeignete Multiplikation mit zwei liefert das gewünschte Ausgangssignal (c).

In der ausgeführten Schaltung (*Bild 2*) übernimmt ein D-Flipflop die Teilung. Die Multiplikation bewirkt eine PLL-Schaltung, die über ein D-Flipflop rückgekoppelt ist. Mit der angegebenen Dimensionierung ergibt sich ein Arbeitsbereich von 100 Hz...100 kHz.

Eine Einsatzmöglichkeit eröffnet sich beim Symmetrieren einfacher Oszillatoren, deren Tastverhältnis sich beim Durchstimmen unerwünscht verändert.

Wolfgang Rüger



Literatur

[1] CMOS-Databook 1978. Fa. National Semiconductor.

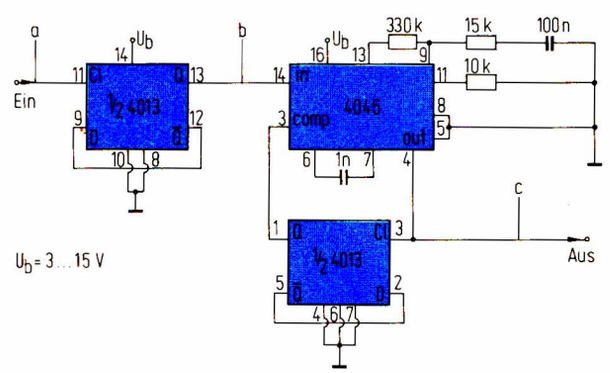


Bild 2. Praktisch ausgeführte Schaltung

◀ Bild 1. Prinzip der Schaltung

Symmetrische Frequenzteilung

Übliche Frequenzteiler, die nur auf eine Flanke des Eingangssignales triggern, erzeugen immer ein unsymmetrisches Ausgangssignal, wenn das Teilerverhältnis zwar ganzzahlig, jedoch ungerade ist. Mit der hier beschriebenen, beliebig erweiterbaren Methode wird bei symmetrischem Eingangssignal immer ein symmetrisches Ausgangssignal erzeugt, da nach einer vorbestimmten Anzahl von Eingangsimpulsen das Taktsignal invertiert und damit auch die Triggerflanke gewechselt wird.

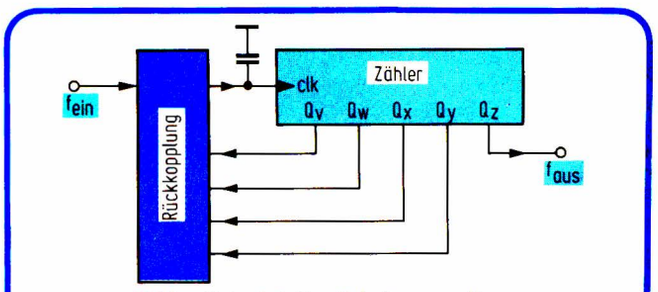


Bild 1. Prinzipieller Schaltungsaufbau

Die Rückkopplung besteht ausschließlich aus EXOR-Gattern, wobei im einfachsten Fall bei Teilerverhältnissen von 2^n-1 (d. h. bei 3, 7, 15, 31.. usw.) nur ein EXOR-Gatter benötigt wird *(Bild 1)*. Der Kondensator (etwa 100 pF) kann zum Erzielen einer minimalen Taktimpulsbreite notwendig sein, da bei geringer Flankensteilheit des Eingangssignales und sehr kurzer Durchlaufzeit des Zählers und Rückkopplungsnetzwerkes so schmale Taktimpulse erzeugt würden, daß ein sicheres Kippen des Zählers nicht gewährleistet wäre. Dadurch verringert sich allerdings auch die maximale Eingangsfrequenz, die (ohne Berücksichtigung des Kondensators) mit der nachfolgenden Gleichung errechnet werden kann:

$$f_{max} = \frac{1}{2 \cdot (t_1 + t_2)}$$

t_1 = Zeit von der Triggerflanke bis zum Umschalten des Zählerausgangs,

t_2 = Durchlaufzeit des Rückkopplungsnetzwerkes.

Bild 2 zeigt, wie mit nur zwei billigen CMOS-ICs jedes ganzzahlige Teilerverhältnis zwischen 2 und 4096 bei symmetrischem Ausgangssignal erzielt werden kann. Das Rückkopplungsnetzwerk MC 14531 ist ein 12-Bit-„Parity-Tree" und besteht intern aus zwölf kaskadierten EXOR-Gattern. Die unbenutzten Eingänge müssen an „0" gelegt werden. Über den Steuereingang X kann die Phasenlage des Ausgangssignales um eine halbe Periode der Eingangsfrequenz verschoben werden.

Es können auch andere Zähler (z. B. 4520, 4020 o. ä.) verwendet werden, ebenso kann der Parity-Tree durch EXOR-Gatter (z. B. 4070, 40101 o. ä.) ersetzt werden.

Die *Tabelle* gibt die Rückkopplungspunkte für Teilerverhältnisse zwischen 2 und 32 an. Sie läßt sich be-

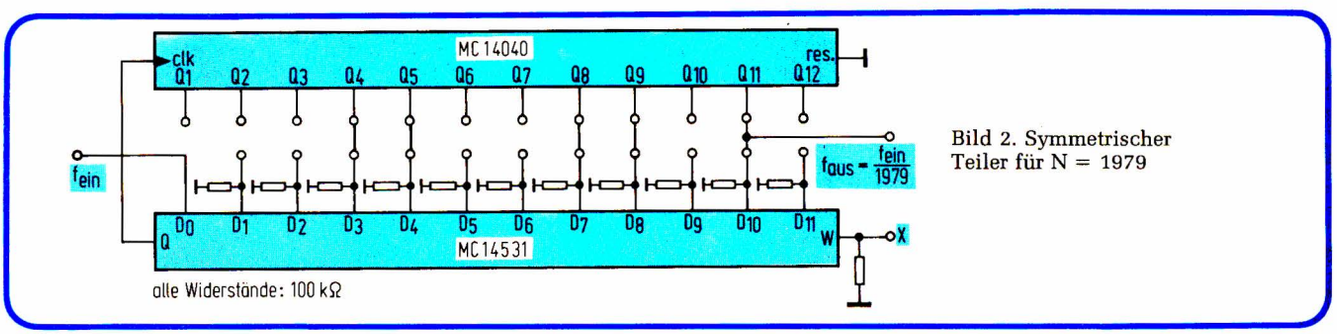


Bild 2. Symmetrischer Teiler für N = 1979

Tabelle der Kopplungspunkte für Teilverhältnisse von 2...32

2	–	18	Q_1, Q_4
3	Q_2		
4	–	19	Q_1, Q_3, Q_5
5	Q_1, Q_3	20	Q_1, Q_3
6	Q_2	21	Q_1, Q_2, Q_3, Q_5
7	Q_3	22	Q_1, Q_2, Q_4
8	–	23	Q_1, Q_2, Q_5
9	Q_1, Q_4	24	Q_2
10	Q_1, Q_3	25	Q_2, Q_5
11	Q_1, Q_2, Q_4	26	Q_2, Q_4
12	Q_2	27	Q_2, Q_3, Q_5
13	Q_2, Q_4	28	Q_3
14	Q_3	29	Q_3, Q_5
15	Q_4	30	Q_4
16	–	31	Q_5
17	Q_1, Q_5	32	–

liebig fortsetzen. Die notwendigen Rückkopplungspunkte lassen sich ebenso schnell errechnen. Das Flußdiagramm (*Bild 3*) zeigt den Ablauf.

Das nachfolgende Beispiel demonstriert nochmals die Vorgangsweise:

N = 1979
Ausgang an Q_{11} = 2048 (n = 11)

i	z		
		1024	
9		+ 512	
	1	1536	
8		+ 256	
	2	1792	
7		+ 128	
	3	1920	
		+ 64	
	4	1984	1. Rückkopplung Q_4
5		– 32	
	5	1952	2. Rückkopplung Q_5
4		+ 16	
	6	1968	
3		+ 8	
	7	1976	
2		+ 4	
	8	1980	3. Rückkopplung Q_8
1		– 2	
	9	1978	4. Rückkopplung Q_9
0		+ 1	
	10	1979	5. Rückkopplung Q_{11}

Ein Rückkopplungspunkt liegt dort, wo die Summe das Teilerverhältnis über- bzw. unterläuft, sowie um eins höher, wenn das Teilerverhältnis und die Summe gleich sind. Die maximale Anzahl von Rückkopplungen entsprechend Bild 2 liegt bei einem Teilerverhältnis von 2731.

Der Vorteil dieser Schaltung ist nicht nur das symmetrische Ausgangssignal, sondern auch die einfache Möglichkeit, die Rückkopplungspunkte auszurechnen. Die Oszillogramme in *Bild 4* zeigen die Eingangsfrequenz, den Zählereingang sowie die Zählerausgänge für die Teilerverhältnisse 9 bzw. 13. Für die Aufnahme wurden die Taktimpulse künstlich verbreitert, da ohne Verzögerungskondensator nur etwa 250 ns schmale Impulse erzeugt werden.

Ing. (grad) Friedrich Bayer

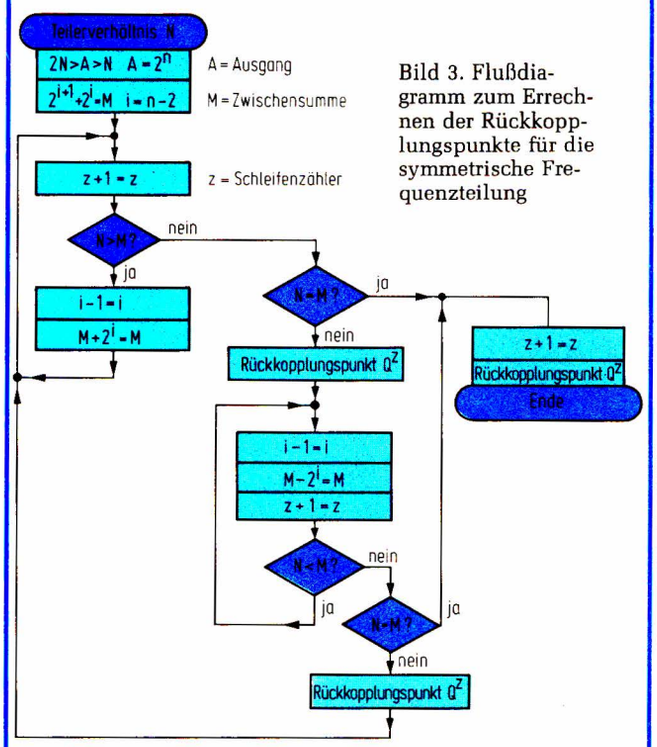


Bild 3. Flußdiagramm zum Errechnen der Rückkopplungspunkte für die symmetrische Frequenzteilung

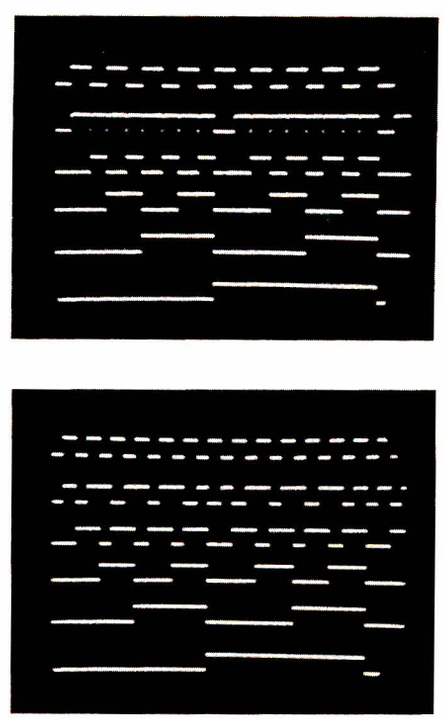


Bild 4. Zeitdiagramme für die Teilverhältnisse 9 und 13

Logiktester für CMOS-Schaltungen

Pegelerkennung und Pulsdetektion – Schutz gegen Überspannungen

Eigenschaften

Der beschriebene Logiktester ist als Tastkopf aufgebaut, der seine Betriebsspannung von der zu untersuchenden Schaltung bezieht und gegen Überspannung sowie Verpolung geschützt ist. Sein Prüfeingang ist umsteckbar ausgebildet für eine Tastspitze oder ein Kabel mit Meßfühler. Der Eingang ist hochohmig und ebenfalls geschützt. Sechs Leuchtdioden zeigen folgende Zustände an:

- Eingang offen bzw. Pegel im Bereich zwischen L- und H-Pegel;
- L-Pegel;
- H-Pegel;
- positive Impulse;
- negative Impulse;
- annähernd Rechtecksignal.

Eine Verknüpfung der Anzeigen zur Reduzierung der LED-Anzahl wurde verworfen, um klare und leicht zu erkennende Meßergebnisse zu erhalten.

Die Spezifikationen des Logiktesters sind in der *Tabelle* zusammengestellt.

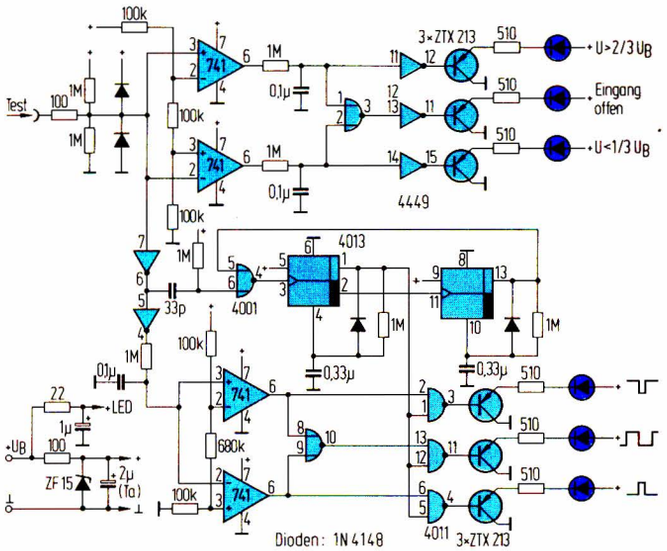
Schaltung

Der Eingang wird über zwei Widerstände auf halbem Betriebsspannungspotential gehalten. Zwei Operationsverstärker wirken als Komparator für die Schwellwerte L und H; ihre Ausgangssignale werden integriert, um niederfrequentes Flackern der Anzeigen zu verhindern. Liegt die Eingangsspannung zwischen den beiden Grenzwerten, sind beide Verstärkerausgänge L; über das nachfolgende NOR-Gatter wird dann eine dritte LED angesteuert.

Der mit zwei Flipflops aufgebaute Pulsdetektor differenziert die positiven Flanken des Meßsignals und erzeugt durch die beiden in Reihe liegenden Monoflops

Spezifikationen des Logiktesters

Betriebsspannung:	5...15 V/ca. 50 mA
Eingangswiderstand:	> 200 kΩ
Pegelmessungen:	$U < 1/3\ U_B$
	$U = 1/3...2/3\ U_B$
	$U > 2/3\ U_B$
Impulsmessungen (an U_B = 12 V):	
Tastverhältnis < 1:8	min. 30 ns
Tastverhältnis 1:8...8:1	min. 10 MHz
Tastverhältnis > 8:1	min. 40 ns
pos. Einzelimpulse	min. 30 ns
neg. Einzelimpulse	min. 100 ns



Schaltung des Logiktesters

ein Blinksignal von etwa 2 Hz Wiederholfrequenz. Jeder anliegende Impuls wird so zu einem gut sichtbaren Blinkzeichen einer LED verlängert.

Die Pulsformkennung mit den beiden unteren Operationsverstärkern integriert die anstehenden Signale und vergleicht die geglättete Spannung mittels zweier weiterer Komparatoren mit zwei Referenzwerten, die bestimmten Tastverhältnissen entsprechen. Die Komparatorausgänge sind mit dem Ausgang des Pulsdetektors so verknüpft, daß je nach Mittelwert des Eingangssignals eine von drei weiteren Leuchtdioden blinkt. Bei Anzeige von Impulsen bleibt die Kennung für statische Pegel unberücksichtigt.

Die Eingangsschutzschaltung besteht aus einem 100-Ω-Längswiderstand von $^1/_{20}$ W sowie je einer Diode gegen Masse und gegen U_B. Die Stromversorgung wird ebenfalls über einen Widerstand geringer Leistungsaufnahmefähigkeit sowie eine Z-Diode ZF 15 geschützt.

Aufbau

Das Mustergerät besteht aus zwei Leiterplatten von 142,5 x 35 mm² und 92,5 x 20 mm² Größe; es ist in ein Pertinaxrohr von 37 mm ∅ x 147 mm eingebaut. Die kleinere Leiterplatte trägt lediglich die Anzeige-LEDs und die Transistoren. Bei Verwenden höher integrierter Bauteile wie z. B. Vierfach-Operationsverstärkern läßt sich das Gerät noch verkleinern.

Ing.(grad.) Manfred Stibaner

Anzeigenbereichsumschaltung mit Hysterese

Eine automatische Bereichsumschaltung bei digital anzeigenden Meßgeräten kann dann Ärger bereiten, wenn der Zahlenwert der Meßgröße gerade um den Umschaltpunkt der Automatik schwankt: Die dauernd springende Anzeige ist nur schwer ablesbar. Die nachfolgend beschriebene Schaltung vermeidet diesen Fehler.

Überschreitet der Meßwert eimnal den oberen Umschaltpunkt, wird der höhere Meßbereich eingeschaltet und auch beim Unterschreiten der Schaltschwelle beibehalten. Mit umgekehrten Vorzeichen geschieht dies auch bei der unteren Schwelle.

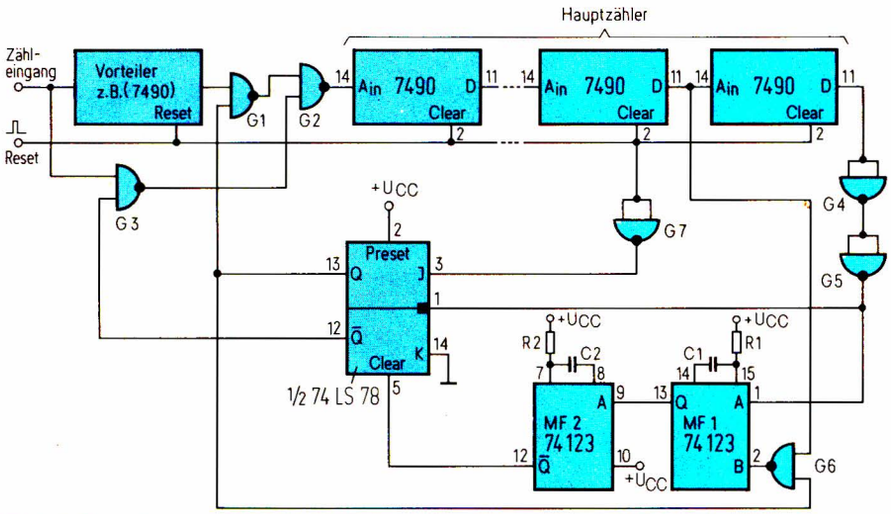
Sobald am Ausgang D des Dezimalzählers der höchsten Anzeigestelle ein Sprung nach Null erfolgt (d. h. der Zähler hat 10 Impulse gezählt und gibt jetzt den Übertragg weiter), wird über zwei NAND-Gatter, die der zeitlichen Verzögerung dienen, das flankengetriggerte JK-Flipflop SN 74 LS 78 gesetzt und gleichzeitig über Eingang A das Monoflop MF 1 getriggert. Die Dauer seines Ausgangsimpulses ist etwas länger als eine Meßperiodendauer des Gerätes und ist mit R1, C 1 festgelegt. Hatte das Flipflop im Ruhezustand den Signalweg um den Vorteiler herum freigegeben, so wird nach dem Setzen des Eingangssignal erst im Vorteiler heruntergeteilt. Beträgt der Vorteilungsfaktor 10, so rutscht die angezeigte Zahl eine Stelle nach rechts. Damit ist der Bereich umgeschaltet. Gleichzeitig können nun über G 6 die negativen Flanken am D-Ausgang der zweithöchsten Anzeigestelle das MF 1 nachtriggern. Dies geschieht auch, wenn D auf „1" war und der Zähler über Reset zurückgesetzt wird. MF 1 wird nun so lange eine „1" an Q haben, wie in der zweithöchsten Stelle mindestens eine 8 gezählt wird. Sinkt das Zählergebnis unter diesen Wert, springt MF 1 in seinen Ruhezustand und veranlaßt dadurch MF 2 zur Abgabe eines Impulses, der das Flipflop rücksetzt. Um zu verhindern, daß ein Rücksetzen des Hauptzählers das Flipflop setzt, wenn an der höchstwertigen Stelle mindestens eine 8 gezählt wurde, wird der J-Eingang des Flipflops mit dem invertierten Reset-Signal angesteuert. Springt nun der D-Ausgang der letzten Zählerstufe durch Rücksetzen von „1" nach „0", sind – da G 4 und G 5 den Sprung verzögern – die Steuereingänge des Flipflops beide „0", so daß kein Setzen erfolgt. Damit ist erreicht, daß das Flipflop nur bei einem Überlauf des Zählers gesetzt wird, während das Rücksetzen so lange unterbleibt, wie nach dem Bereichsumschalten die zweithöchste Stelle mindestens 8 wird und dadurch am D-Ausgang eine negative Flanke erscheint. Damit ist an der höchstwertigen Stelle eine Hysterese von 2 (im kleinen Bereich) realisiert *(Tabelle)*.

Tabelle. Beispiel für Bereichsumschaltung

Meßwert	Anzeige	
7,000	7.000	
8,000	8.000	
10,000	10.00	Bereichsumschaltung
9,000	09.00	
7,000	7.000	Bereichsumschaltung

Das JK-Flipflop muß flankengesteuert sein, da auch bei „1" am Takt-Eingang ein Informationswechsel an den JK-Eingängen erkannt werden muß. Setzt man anstelle des Flipflops einen Vor-/Rückwärtszähler ein und decodiert dessen Stand, kann man auch eine mehrfache Bereichsumschaltung durch Vorschalten mehrerer Vorteilerstufen verwirklichen. Natürlich kann der angegebene Vorteiler auch einen größeren Teilungsfgaktor als 10 haben, dann ist nur der Anschluß für den Wiedertriggerimpuls weiter vorn in der Zählerkette anzuschließen. Andere Umschaltpunkte sind ebenfalls realisierbar.

Rolf R. Saffertal



Digitale Bereichsumschaltung mit Hysterese

Serieller Datensimulator

Das beschriebene Gerät ist sehr einfach und preiswert aufgebaut und hat sich besonders bei der Reparatur von Geräten, die nicht mehr einwandfrei auf bestimmte Bitkombination reagieren, bestens bewährt.

Bild 1 zeigt die Schaltung: Mit 16 Kippschaltern lassen sich die logischen Zustände der einzelnen Datenbits an den Eingängen des Multiplexers IC 4 vom Typ SN 74150 N einstellen. Durch zyklisches Abfragen der Eingänge mit dem 4-Bit-Binärzähler IC 3 (SN 74163 N) wird ein serieller Datenstrom über den Tiefpaß R 3, C 3 an die beiden Inverter IC 6a und IC 6b geliefert. Durch die Verwendung eines synchronen Binärzählers für IC 3 kann die Zeitkonstante des Tiefpasses sehr klein gehalten werden. Damit ist eine Datenrate bis zu 10 MHz möglich. Den erforderlichen Takt erhält der Binärzähler vom Flipflop IC 2 (SN 7472 N), das für ein exaktes Tastverhältnis von 1:1 sorgt, da dieser Takt auch für synchrone Datenzwecke zur Verfügung stehen soll ($\overline{\text{TAKT}}$ und TAKT). Die Taktfrequenz kann intern in zwei Bereichen gewählt werden, in Bild 1 z. B. 1 kHz und 1 MHz. Frequenzbestimmend sind C 1, C 2 und R 1. Der interne Oszillator mit IC 1 kann durch Erden von Anschluß 1 und/oder Anschluß 2 des Gatters IC 1a gesperrt werden, und die Ansteuerung kann extern über die Anschlüsse 12 und 13 von IC 1b erfolgen. Um den Anfangszustand eines Datenwortes zu erkennen, wird beim Übergang des Zählers von log. 1111 auf 0000 ein Triggersignal ausgegeben. Dazu dient das Vierfach-NAND-Gatter IC 5 (SN 7420 N). Alle Ein- und Ausgänge des Gerätes sind TTL-kompatibel.

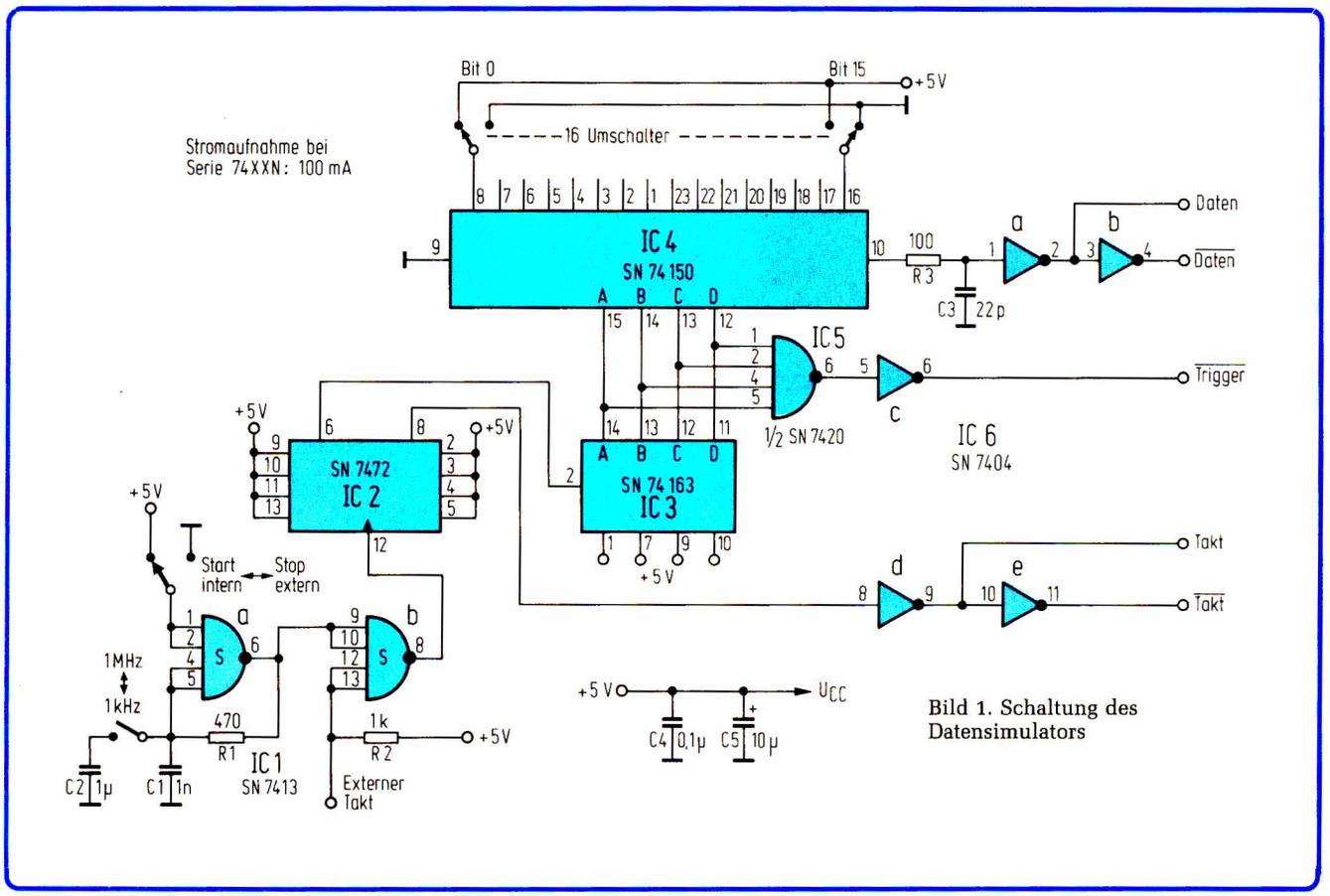


Bild 1. Schaltung des Datensimulators

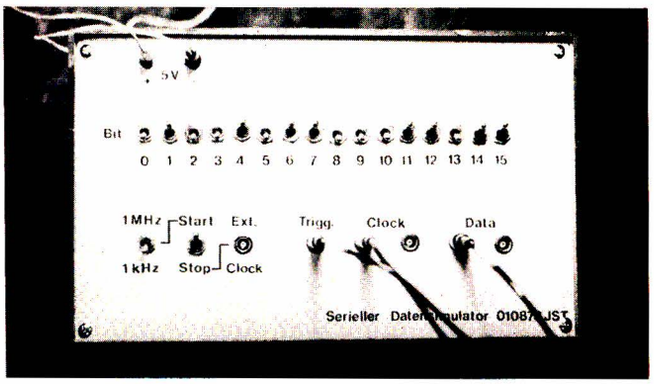


Bild 2. Die Schaltung läßt sich in einem Kleingehäuse unterbringen

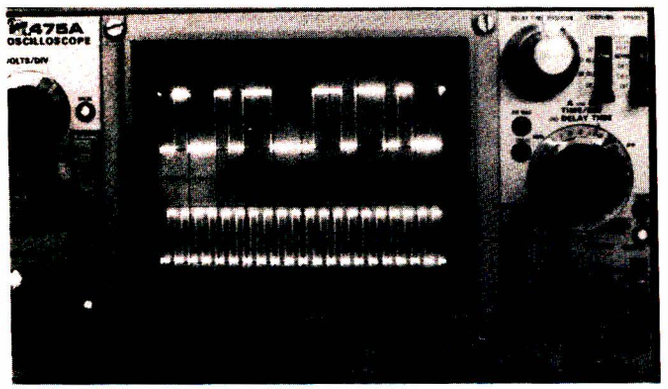


Bild 3. Beispiel eines erzeugten Datenstroms. Unten: Taktfrequenz

Die Stromaufnahme der Schaltung beträgt 120 mA bei 5 V. Sie kann selbstverständlich auch mit Low-Power-Schottky realisiert werden. Die Betriebsspannung wird extern zugeführt. *Bild 2* zeigt das Mustergerät in einem Kunststoffgehäuse, *Bild 3* ein Datenwort über der Taktfrequenz. *Jürgen Strobel*

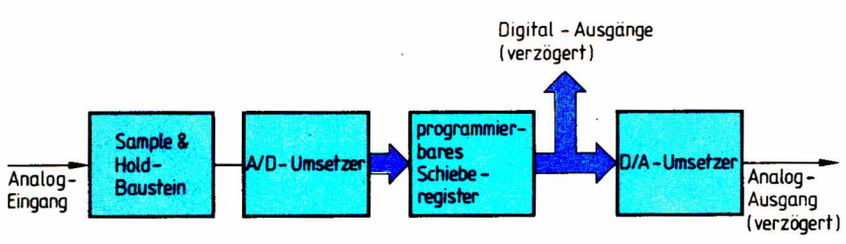
Analogsignale digital verzögert

Für eine Anwendung in der Datenerfassung und der Experimentsteuerung war es notwendig, ein Analogsignal über einen Zeitraum von mehreren ms zu verzögern. Die Verzögerungszeit sollte in kurzen Schritten frei einstellbar sein. Der gefundene Weg kann in den Fällen brauchbar sein, in denen das Analogsignal mit einer durch die A/D-Umsetzung begrenzten Auflösung verarbeitet werden kann.

Vorteile dieser Lösung sind das Vermeiden einer aufwendigen analogen Verzögerungsschaltung sowie die Möglichkeit der digitalen Steuerung der Signalverzögerung. Die Blockschaltung (*Bild 1*) zeigt den prinzipiellen Aufbau. Das Analogsignal wird von einem Sample&Hold-Baustein abgetastet, anschließend analog/digital umgesetzt, in einem Schieberegister verzögert und schließlich wieder digital/analog umgesetzt. Das um die vorgegebene Zeit verzögerte Signal steht sowohl digital als auch analog zur Verfügung. Die relativ einfache programmierbare Verzögerung des digitalen Signals wird erreicht durch die Realisierung des Schieberegisters mit einem statischen RAM.

Die Schaltung in *Bild 2* weist eine Auflösung von 8 Bit und eine Abtastrate von 200 kHz auf. Die Verzögerung ist einstellbar in Schrittweiten von 5 ms mit max. 256 Schritten. Der Takt triggert den Sample-&Hold-Baustein (LF 398), und nach einer Verzögerungszeit von ca. 2 µs (Monoflop 74LS221) übernimmt ein A/D-Umsetzer (ADC 82) das gehaltene Analogsignal. Das Monoflop ist notwendig, um Einschwingvorgänge des Sample&Hold-Bausteins zu kompensieren, welche die A/D-Umsetzung stören könnten. – Der Takt bestimmt auch den Schreib-/Lese-Vorgang: Ist der Takt auf „high", wird der Inhalt

Bild 1. Blockschaltung



des RAMs (SEMI 3539) in das Latch (74LS373) gelesen; ist der Takt „low", liest das RAM den Wert des A/D-Umsetzers ein.

Der Ausgang des A/D-Umsetzers kann nicht direkt mit dem RAM verbunden werden, da das RAM die Ein-/Ausgabe über die gleichen Anschlüsse abwikkelt. Deshalb sind zwischen diesen Bausteinen Tri-State-Treiber notwendig, die ebenfalls vom Takt gesteuert werden. Die Ansteuerung der RAM-Adressen erfolgt über zwei synchron geschaltete Zähler (74LS169). Bei Erreichen des Zustandes „0" wird dieser Rückwärtszähler wieder auf den programmierten Stand gesetzt. Auf die Art ist die Größe des Speicherbereiches bestimmt, der zyklisch durchlaufen wird, und so auch die Zeit, die ein Digitalwert im RAM gespeichert bleibt. Um eine einwandfreie Übernahme in das Latch zu gewährleisten, muß der Latch-Impuls etwas kürzer sein als eine halbe Taktperiode. Dies ist durch ein weiteres Monoflop (74LS221) sichergestellt.

Der D/A-Umsetzer (DAC 82) schließlich setzt jeden an seinem Eingang anliegenden Digitalwert in bekannter Weise in den entsprechenden Analogwert um. Dieser bleibt solange erhalten, bis ein neuer Wert in das Latch gelesen wird.

Parallel dazu steht auch der Digitalwert über einen Leitungstreiber (74LS244) zur Verfügung. Analoge und digitale Masse sind in der Schaltung getrennt geführt.

Die hier realisierten Eigenschaften lassen sich schnell abwandeln ohne prinzipielle Änderung des Konzeptes. Die Auflösung des Analogsignals ist gegeben durch die der Analogbausteine und die entsprechende Bitbreite des Schieberegisters; die Höhe der Abtastrate bestimmt sich im wesentlichen aus der Verarbeitungszeit der Analogbausteine und die mögliche Taktrate. Unter Verwendung eines A/D-Umsetzers mit Tri-State-Ausgang und eines D/A-Umsetzers mit Latch ließe sich die Schaltung noch wesentlich vereinfachen. Zur Programmierung der Verzögerungszeit werden in dieser Schaltung DIL-Schalter verwendet, doch lassen diese sich ebenfalls durch Latches ersetzen; sie sind dann steuerbar durch einen Parallel-Port eines Prozessors.

Dipl.-Phys. Ludwig Voet
Rüdiger Leschhorn

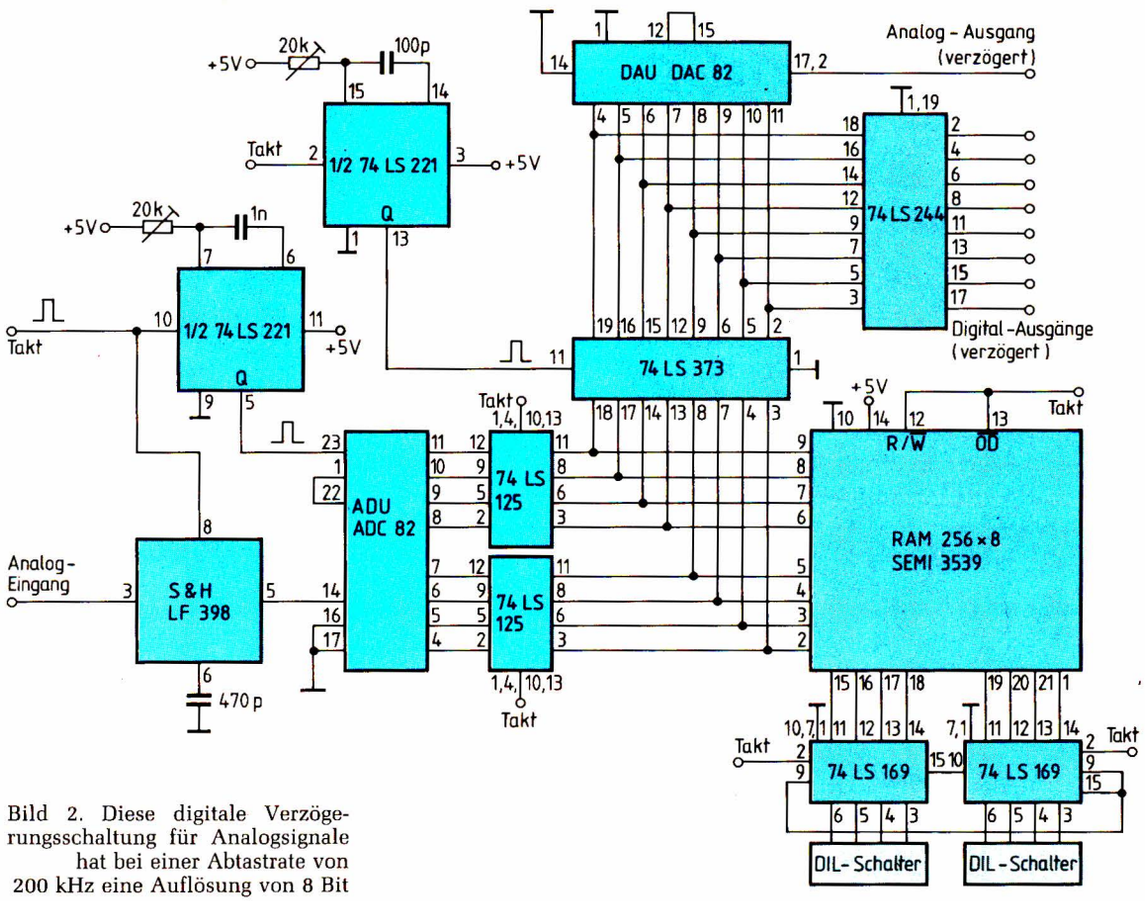


Bild 2. Diese digitale Verzögerungsschaltung für Analogsignale hat bei einer Abtastrate von 200 kHz eine Auflösung von 8 Bit

IEC-Bus-Monitor

Seit einiger Zeit sind Mikrocomputer verfügbar, die den Laboreinsatz von IEC-Bus-bestückten Meßgeräten zu einem annehmbaren Preis ermöglichen. Beim Selbstbau von Meßgeräten mit IEC-Anschluß erwies es sich jedoch als notwendig, die Vorgänge auf dem Schnittstellensystem überwachen zu können. Der hier vorgestellte IEC-Bus-Monitor (*Bild 1*) erfüllt diese Aufgabe.

Der Monitor wird als IEC-Gerät in den Bus eingeschleift, hat jedoch keine Funktion (Talker, Listener, Controller) gemäß der IEC-Norm. Links im *Bild 2* ist der IEC-Bus dargestellt. 16 Leitungsempfänger bereiten die Eingangssignale auf. Datenbus und Schnittstellen-Steuerbus/Übergabe-Steuerbus haben jeweils eine getrennte Worttriggerlogik, die mit S17 bzw. S18 desaktiviert werden kann. Mit der Worttriggerlogik kann man einen bestimmten Systemzustand oder IEC-Befehl suchen. Für die DIO-Leitungen genügt der Vergleich mit einem voreinstellbaren Wort, das mit S9...S16 festgelegt wird. Für Schnittstellen-Steuerbus/Handshake-Leitungen ist ein Multifunktionsgatter CD 4048 vorgesehen. Mit S22 kann man festlegen, ob UND- bzw. ODER-Logik bei der Verknüpfung gewünscht wird. Man kann die Schalter z. B. so stellen, daß nur bei REN (*Remote enable*) oder SRQ (*Service request*) der Datenstrom überwacht wird. Außerdem ist noch ein Schalter vorgesehen, um auf ATN wahr oder ATN falsch umschalten zu können. Damit unterscheidet man sehr einfach zwischen Gerätenachrichten und Schnittstellennachrichten. Ist das gesuchte Ereignis eingetreten, so soll der nun folgende Datenstrom in einen Speicher übernommen werden. Eine Möglichkeit dazu ist, daß das untersuchte Gerät den Einschreibtakt selbst liefert. Viel eleganter und wirkungsvoller ist der „Ereignistrigger". Da jede Aktivität auf dem Bus mit einem Zustandswechsel auf den Handshake-Leitungen verbunden ist, sorgt eine einfache Logik („Ereignistrigger") dafür, daß bei einem Zustandswechsel ein Taktimpuls erzeugt wird. Das geschieht dadurch, daß der in einem Baustein 74LS75 gespeicherte Zustand der Handshake-Leitungen mit dem aktuellen Zustand verglichen wird. Tritt eine Änderung auf, so wird der neue Zustand in den Speicher übernommen und ein Taktimpuls erzeugt. Nun werden die Signale auf den Busleitungen in 16 Speicher (1 K x 1) übertragen. Eigentlich sollten moderne 1-K x 8-Speicher eingesetzt werden, sie waren aber nicht verfügbar. Der Adreßzähler (10 Bit) liefert die RAM-Adressen. Nach 1024 Einschreibvorgängen wird der „Speicher-voll"-Interrupt an den Mikrorechner gesendet und der Einschreibvorgang angehalten. Mit S20 kann man zwischen zwei Betriebsarten wählen: Man kann den Speicher beschreiben *nachdem* ein Ereignis aufgetreten ist, oder *bis* es auftritt. Im letzteren Fall kann man die „Fehlergeschichte" vor dem Auftreten eines fehlerhaften Zustandes untersuchen.

Nachdem die Buszustände gespeichert sind, erfolgt die Verarbeitung. Der dazu erforderliche Mikroprozessor, der 2x8-Ausgabeleitungen ansteuert, schaltet den Adreß-Multiplexer (3x74LS157) und die R/$\overline{W}$-Leitung um. Nun kann der gesamte Speicherinhalt ausgelesen und verarbeitet werden. Der Rechner weist den IEC-Bus-Befehlen symbolische Namen zu (wie in DIN IEC 66,22 vereinbart) und interpretiert die Antworten der Meßgeräte auf Steuerbefehle.

Im vorliegenden Fall wurde ein PET 2001 mit dieser Schaltung betrieben. Der PET sendet Steuerbefehle an die IEC-Meßgeräte und prüft deren Antworten. So kann er schnell und sicher Meßgeräte testen. Die umständliche Arbeit mit einem konventionellen Logik-Analysator entfällt.

Michael Klein

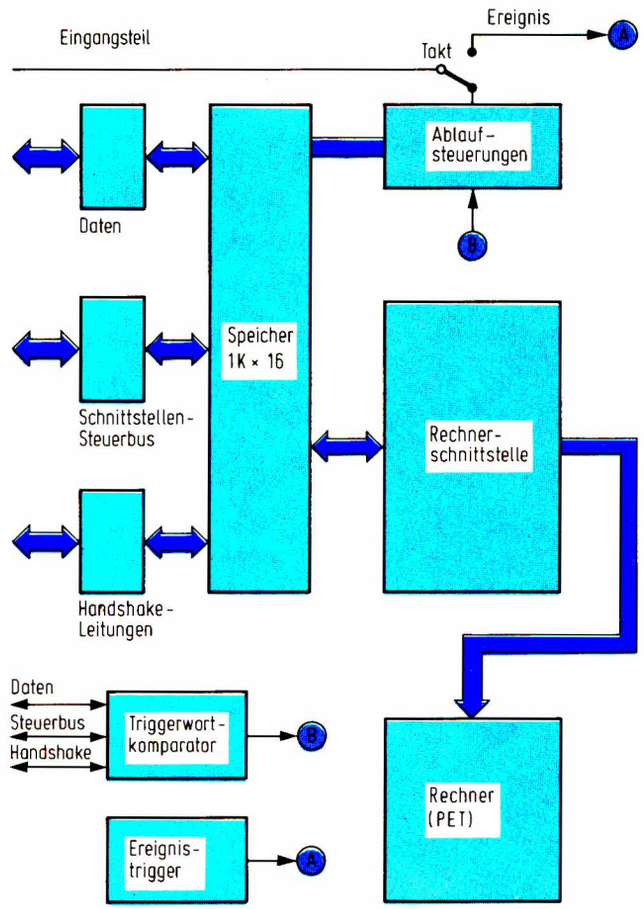


Bild 1. Blockschaltung

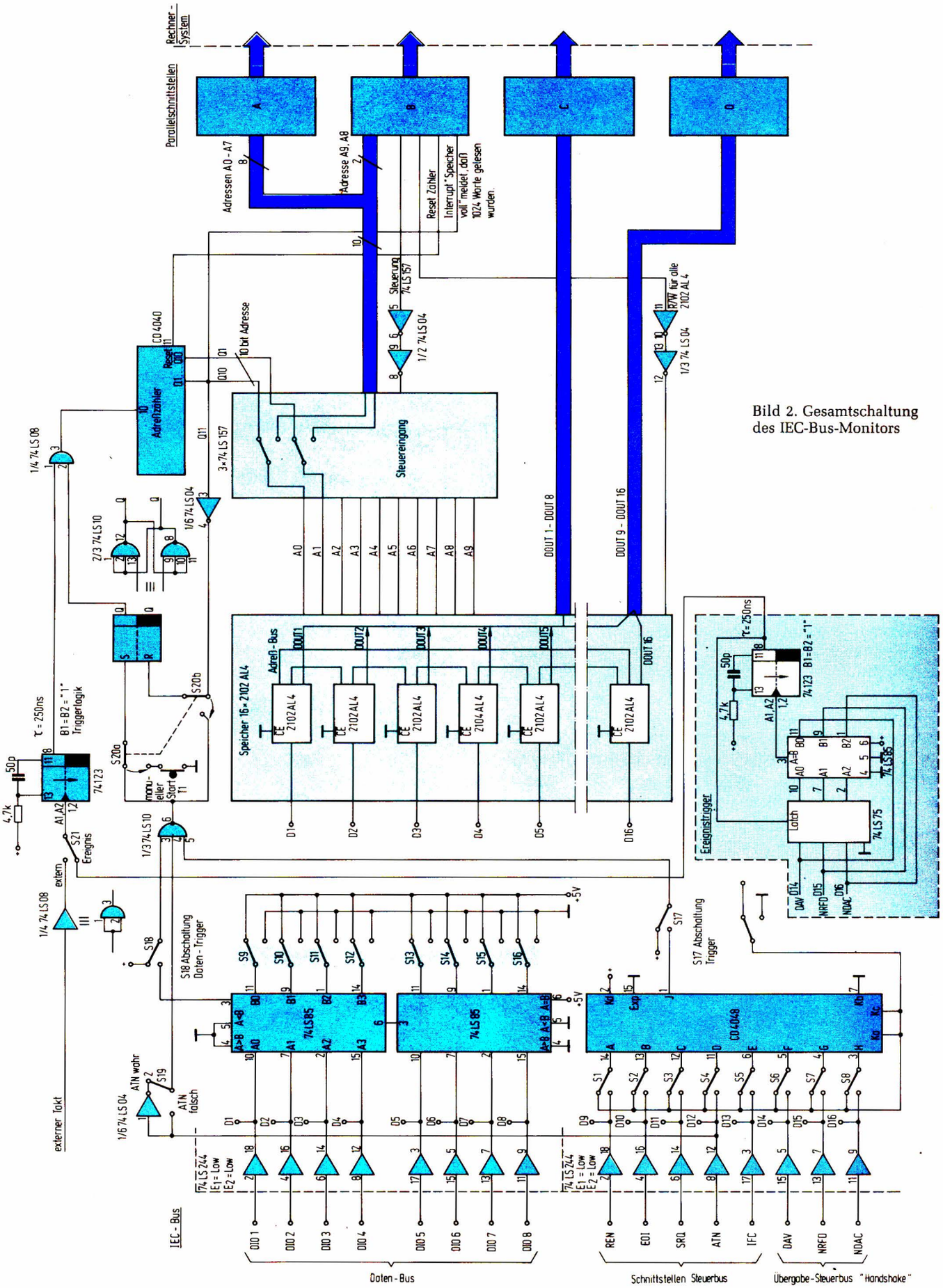


Bild 2. Gesamtschaltung des IEC-Bus-Monitors

CMOS-Leitungstreiber wird zum Tristate-Bauelement

Buskonzepte können durch Verwendung von Tristate-Leitungstreibern so erweitert werden, daß sich große Distanzen überbrücken lassen. Leider werden jedoch nur sehr wenige Tristate-Treiber angeboten. Die beiden CMOS-Leitungstreiber MM 78 C 29 und MM 78 C 30 können jedoch in den gewünschten hochohmigen Zustand versetzt werden, indem einfach ihre Versorgungsspannung abgeschaltet wird.

In den meisten MOS-Schaltungen treten am Eingang (durch die Schutzdiode) und am Ausgang (durch die parasitäre Drain-Diode) unerwünschte Clamp-Effekte auf (*Bild 1*). Die Leitungstreiber 78 C 29 und 78 C 30 werden nach Abschalten der Betriebsspannung U_{CC} jedoch hochohmig, da bei ihnen die Eingangsschutzdiode nicht mit U_{CC} verbunden ist. Darüber hinaus ist bei ihnen am Ausgang ein NPN-Transistor hoher Durchbruchspannung vorgesehen. Normalerweise liegt die Basis-Emitter-Durchbruchspannung eines durch einen TTL-Prozeß hergestellten Transistors bei 7 V, wodurch der Ausgang auf diesem Pegel festgehalten werden könnte. Die Verwendung eines CMOS-Prozesses ermöglicht jedoch Durchbruchwerte, die normalerweise über 30 V liegen, so daß innerhalb der maximal zulässigen Versorgungsspannungen sowohl der Eingang als auch der Ausgang hochohmig erscheinen, wenn U_{CC} auf 0 V geschaltet wird (*Bild 2*).

Wird ein Treiber aus dem hochohmigen wieder in einen der beiden aktiven Zustände versetzt, ist es sehr wichtig, daß der Widerstand zwischen dem Anschluß U_{CC} des Bauelementes und der Versorgungsspannungsleitung durch die dazwischenliegende, zur Abschaltung von U_{CC} erforderliche Schaltstufe nicht zu sehr erhöht wird. Das ist erforderlich, um die Schwankungen der Versorgungsspannung durch die unterschiedlichen Ströme der verschiedenen Treiber so gering wie möglich zu halten. Ändert sich nämlich die Spannung am Anschluß U_{CC} durch wechselnden Stromfluß in einem Kanal, kann in den anderen Kanälen Übersprechen auftreten. *Bild 3a* zeigt einen Gegentaktschalter, der die Versorgungsspannung des Leitungstreibers abschaltet, wenn der Steuereingang auf „1" geht.

Der NPN-Schalttransistor kann aber auch durch einen CMOS-Invertierer ersetzt werden, wie aus *Bild 3b* hervorgeht. Eine Schaltung mit passivem „Pull down"-Widerstand ist einfacher, verbraucht jedoch zusätzlich Gleichspannungsleistung (*Bild 3c*).

Gerald Buurma

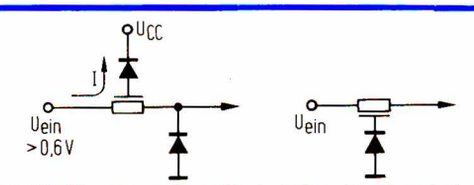


Bild 1. Die Eingangsschutzdiode hält jedes Signal, das größer als 0,6 V ist, auf diesem Pegel fest, sobald der U_{CC}-Anschluß auf Masse gelegt wird. Beim modifizierten Eingang (rechts) tritt dieser Clamp-Effekt nicht auf, solange die Spannungen innerhalb des maximal zulässigen Bereichs von etwa 30 V bleiben

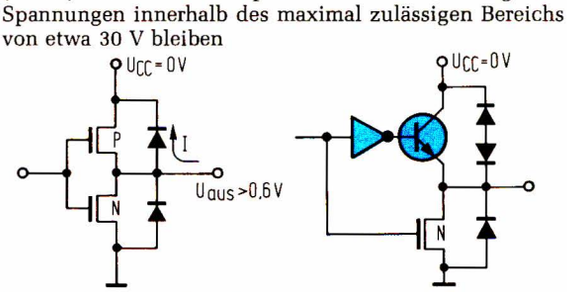


Bild 2. Die parasitäre Diode des P-Kanal-Ausgangstransistors hält normalerweise jedes Ausgangssignal größer als 0,6 V auf diesem Pegel fest, sobald der Versorgungsspannungsanschluß auf 0 V gelegt wird. Der CMOS-Leitungstreiber des modifizierten Ausgangs (rechts) arbeitet dagegen mit einem NPN-Transistor hoher Emitter-Basis-Durchbruchsspannung, so daß das Ausgangssignal innerhalb der maximalen Spannungswerte nicht festgehalten wird

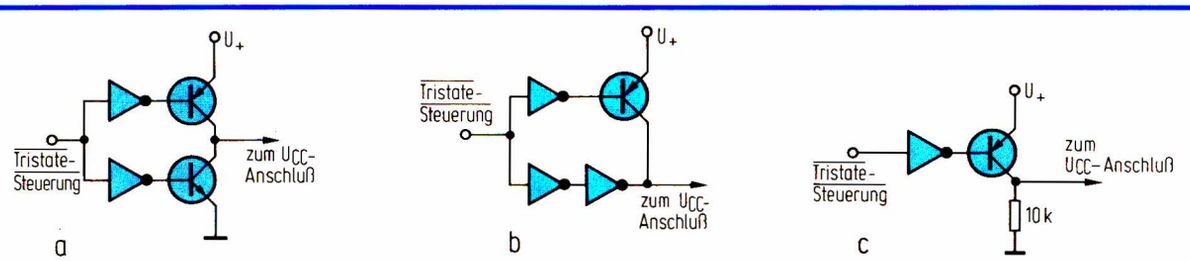


Bild 3. Gegentaktschalter mit a) Transistor, b) CMOS-Invertierer, c) „Pull down"-Widerstand

Automatisches Umschalten eines Druckers zwischen mehreren Rechnern

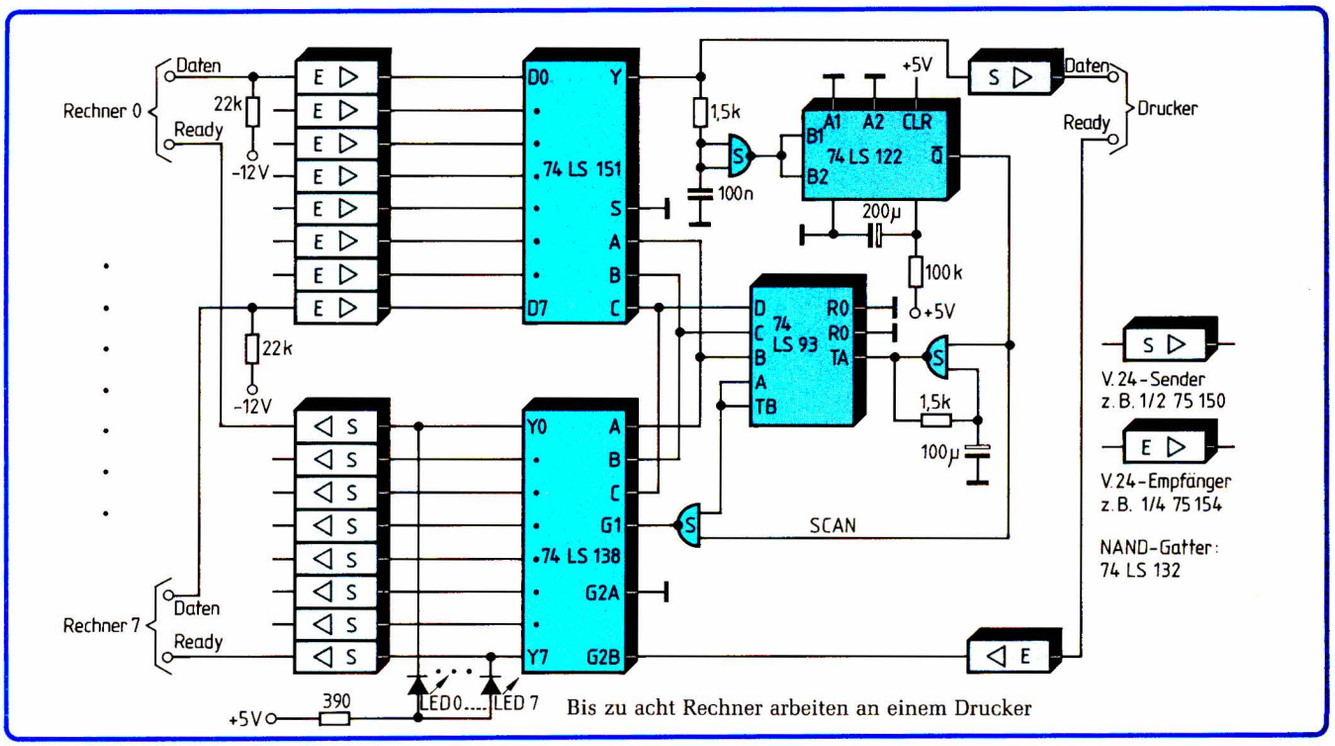
Häufig steht für mehrere Kleinrechner oder Mikrocomputer-Entwicklungssysteme nur ein gemeinsamer Drucker zur Verfügung. Das erforderliche Umschalten oder -stecken ist ein Quelle steten Ärgers. Die beschriebene Anordnung führt das Umschalten zwischen bis zu acht Rechnern automatisch durch.

Die Schaltung ist anwendbar, wenn
- die Daten zum Drucker über eine serielle, asynchrone V.24-Leitung übertragen werden und
- der Drucker Bereitschaft durch einen „H-Pegel" auf einer V.24-Leitung (Ready, Data Terminal Ready) zurückmeldet.

Ein 8 : 1-Multiplexer 74LS151 führt die acht von den Rechnern kommenden Datenleitungen an den Drucker. Der Demultiplexer 74LS138 legt an eine der acht zu den Rechnern führenden Leitungen ein Ready-Signal. Multiplexer und Demultiplexer werden von einem 4-Bit-Zähler gesteuert. Solange keiner der Rechner Daten zum Drucker sendet, ist die Leitung ‚SCAN' auf „H"-Pegel, und ein Multivibrator taktet den Zähler mit etwa 4 Hz. Dadurch legt der Demultiplexer zyklisch nacheinander an alle acht Rechner ein Ready-Signal; dieser Vorgang wird von den LEDs 0...7 angezeigt. Ein Rechner, der Daten zum Drucker senden will, darf damit erst beginnen, wenn er das Ready-Signal erhält. Der dann zum Drucker übermittelte Datenstrom triggert das Monoflop 74LS122, ‚SCAN' geht auf „L"-Pegel, der Taktgenerator wird gestoppt, und der Zähler bleibt in der momentanen Position stehen. Wenn in der Datenübertragung eine Pause von mehr als 10 s eintritt, geht das Monoflop in die Ruhelage zurück und der Suchvorgang beginnt wieder. Alle Ein- und Ausgänge der Schaltung müssen über V.24-Sender bzw. -Empfänger an die Leitungspegel angepaßt werden.

Das automatische Umschalten ist für die Rechner unsichtbar, so daß keine Software-Änderungen erforderlich sind. Es muß lediglich sichergestellt werden, daß während eines Druckvorgangs keine Pause von mehr als 10 s Dauer auftritt. – Ein Mustergerät verbindet drei Prozeßrechner und drei Mikrocomputer-Entwicklungsplätze mit einem Kettendrucker und wird von allen Benutzern als große Erleichterung empfunden.

Dipl.-Ing. Nicholas Roethe



Bis zu acht Rechner arbeiten an einem Drucker

Interface zwischen Mikrocomputer und Fernschreibmaschine

Während heute die Computer-Hardware bereits recht preiswert erhältlich ist, fallen für die notwendigen Ein-/Ausgabe-Geräte oft erhebliche Kosten an. Hier bietet sich in vielen Fällen die Verwendung eines eventuell schon vorhandenen oder gebraucht erworbenen Fernschreibers an. Mit der hier beschriebenen Schaltung läßt sich eine solche Standard-Fernschreibmaschine mit geringem Aufwand an einen parallelen Mikrocomputer-Ein-/Ausgabekanal anschließen.

Durch das gewählte Schaltungskonzept ergeben sich folgende Vorteile:

- Entlastung des Bedieners durch automatische Umschaltung von Ziffern auf Buchstaben und umgekehrt; dazu wird der übertragene 5-Bit-Code um ein sechstes Bit erweitert, das zur Kennzeichnung von Buchstaben auf „L" und bei Ziffern auf „H" liegt.
- Universelle Anschlußmöglichkeit an jeden Mikrocomputer; zur Kommunikation sind separate Signale zur Adressierung, Bereitschafts- und Zustandsanzeige vorgesehen.
- Das Einlesen vom Lochstreifen ist unabhängig vom Drucken möglich.
- Am Fernschreiber sind keine Eingriffe nötig.

Die Anschlußschaltung entkoppelt die Interfaces galvanisch vom Fernschreiber. Sie enthält die Linienstromversorgung für 60 V/40 mA. Außerdem kann über den Schalter D das Druckwerk ausgeschaltet werden, wenn z. B. Lochstreifen über den Fernschreiber in den Rechner eingelesen werden sollen (*Bild 1*).

1 Empfangsinterface

Das Empfangsinterface (*Bild 2*) nimmt die vom Fernschreiber seriell abgegebenen Zeichen auf, wandelt sie in eine 6-Bit-Paralleldarstellung um und gibt sie an den Rechner weiter.

Der Kontakt S 1 öffnet und schließt sich im Takt der Sendeimpulse. Mit dem Startbit werden beide Zähldekaden Z 1/Z 2 gelöscht und der aus den beiden Monoflops MF 1/MF 2 bestehende Taktgenerator angestoßen. Die Taktimpulse gelangen in die Zähler Z 1/Z 2, deren Ausgänge auf Decodierstufen führen. So wird die zeitliche Mitte jedes der fünf Informationsbits erkannt und dann die am Eingang des Schieberegisters S 1/S 2 stehende Information übernommen. Nach Speicherung des fünften Informationsbits steht ein vollständiges Zeichen im Schieberegister. Ergibt die Decodierung, daß es sich um eine Buchstaben/Ziffernumschaltung handelt, so wird FF 1 (Buchstabe/Ziffer) entsprechend gesetzt. Eine Ausgabe des FLAG-Signals zum Rechner erfolgt nicht.

Ist es ein anderes Zeichen, so wird FF 2 (FLAG) gesetzt und damit dem Rechner angezeigt, daß Informationen bereitstehen. Das Zeichen wird (einschließlich der Ergänzung um Bit 6) vom Rechner parallel gelesen. Nach erfolgtem Lesen setzt der Rechner mit dem Signal CLEAR FLAG das FLAG-FF 2 wieder zurück. Beim Eintreffen des Stoppbits wird der Taktgenerator angehalten.

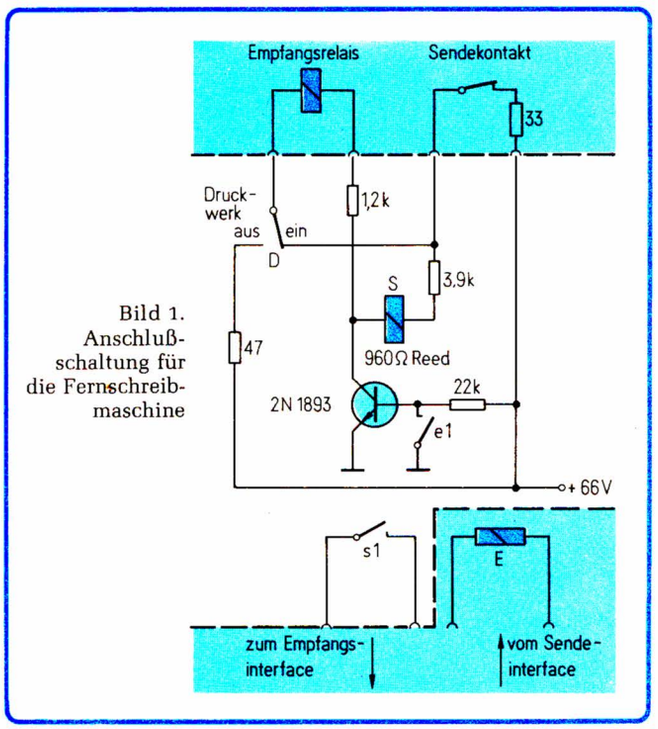


Bild 1. Anschlußschaltung für die Fernschreibmaschine

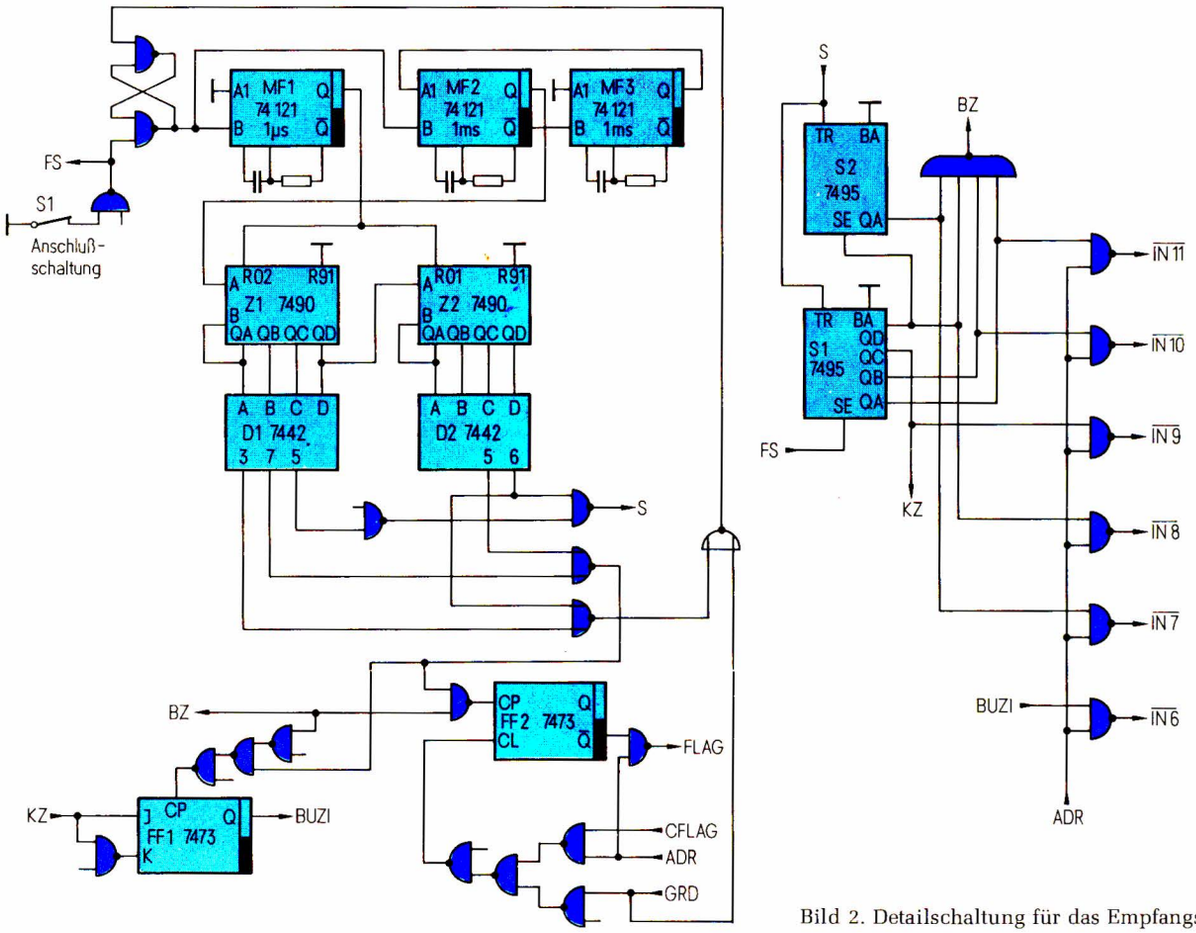


Bild 2. Detailschaltung für das Empfangsinterface

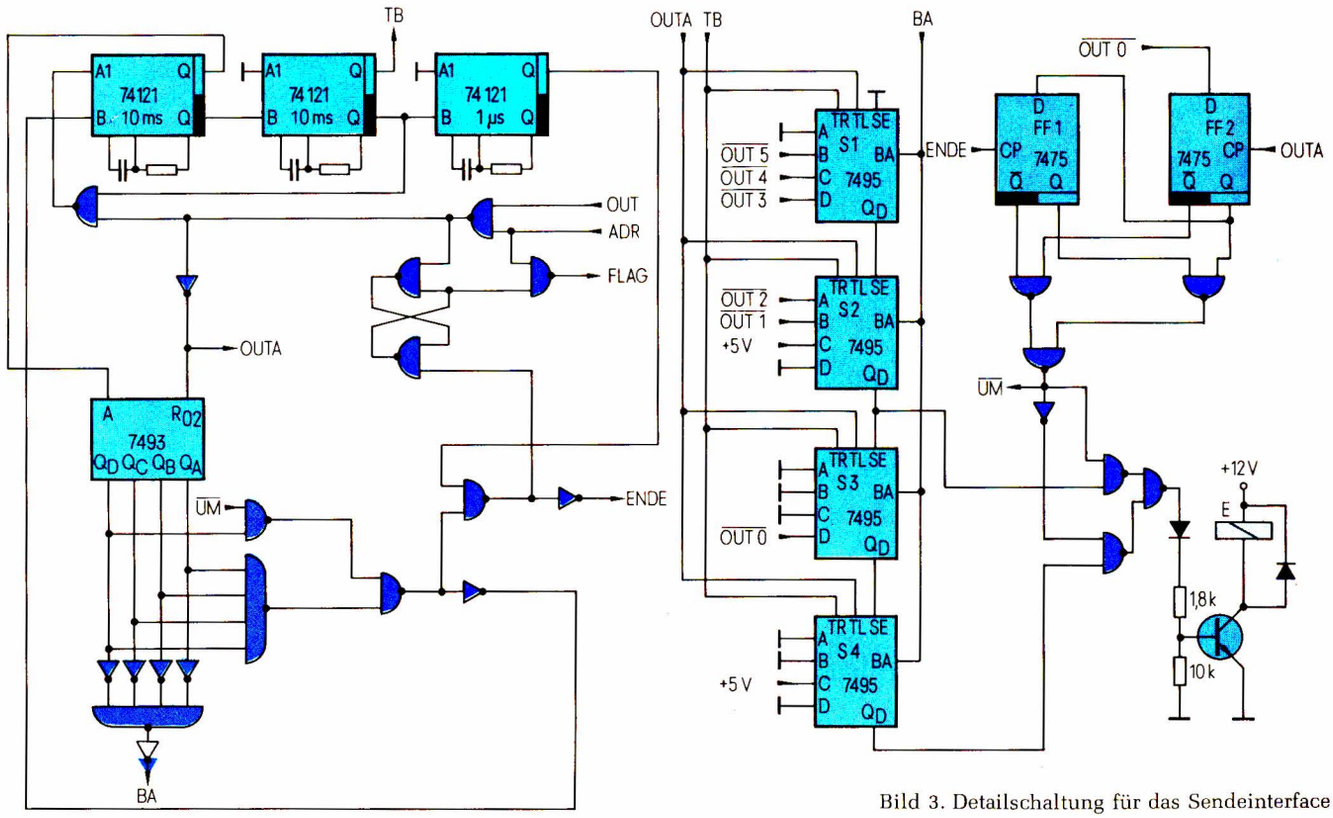


Bild 3. Detailschaltung für das Sendeinterface

2 Sendeinterface

Das Sendeinterface (*Bild 3*) erhält vom Rechner parallel das auszugebende Zeichen im 5-Kanal-Code (OUT 1...OUT 5), ergänzt um ein sechstes Bit (OUT 0), angeboten. Über dieses Bit wird bestimmt, ob das entsprechende Zeichen Buchstabe oder Ziffer ist.

Über die vom Rechner gelieferten Takte OUT und ADR wird diese Information in die Schieberegister S 1 und S 2 übernommen; der Taktgenerator aus MF 1 und MF 2 sorgt für eine zeitrichtige serielle Ausgabe.

Das Signal FLAG wird gesetzt und zeigt dem Rechner den Busy-Status des Geräts an.

Die Speicher FF 1/FF 2 zeigen an, ob das vorhergehende Zeichen ein Buchstabe oder eine Ziffer war. Bei einem Wechsel von Buchstabe auf Ziffer oder umgekehrt wird ein Buchstaben/Ziffernumschaltungszeichen, das in die Schieberegister S 3 und S 4 eingetaktet wurde, dem eigentlichen Zeichen vorausgeschickt.

Ein Zeichen besteht aus einem Start-, fünf Informations- und zwei Stoppbits und benötigt zur Ausgabe 160 ms. Danach wird das Busysignal FLAG zurückgesetzt, und das nächste Zeichen kann ausgegeben werden.

Helmut Jakob

Befehlsdecodierer für 20-mA-Schnittstelle

Bei einer µC-Entwicklung stellte sich heraus, daß noch einige Steuersignale benötigt wurden. Als Problemlösung ergab sich die hier beschriebene Schaltung.

Der Befehlsdecodierer zapft über einen Optokoppler die serielle Schnittstelle vom Mikrocomputer zum Terminal an und decodiert gewisse vorwählbare Zeichen zu Impulsen oder logischen Pegeln (*Bild 1*). Nach der Regenerierung der Impulsflanken wird das Signal dem seriellen Eingang eines UART (*Universal Asynchronous Receiver/Transmitter, Bild 2*) zugeführt, wobei in dieser Anwendung nur der Empfangsteil benötigt wird.

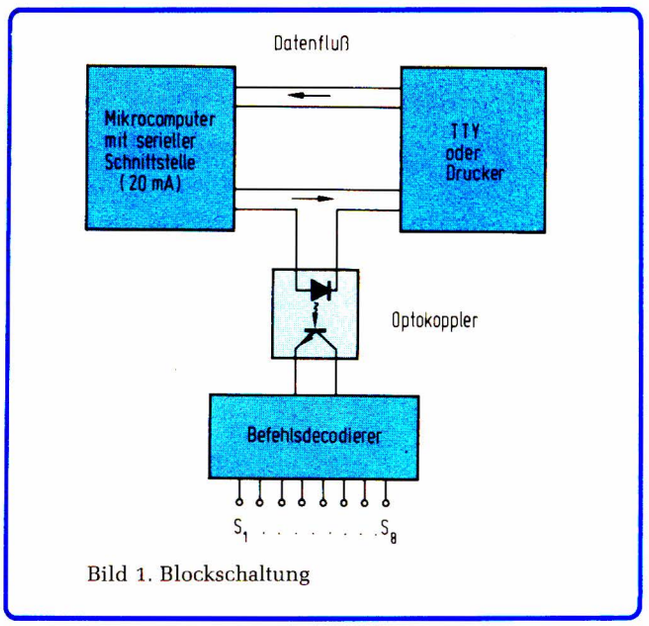


Bild 1. Blockschaltung

Ein RC-Glied sorgt in Zusammenhang mit einem Schmitt-Trigger für ein ordnungsgemäßes Rücksetzen aller Register des UART beim Einschalten der Versorgungsspannung. Der Zeitgeberbaustein LM 322 N er-

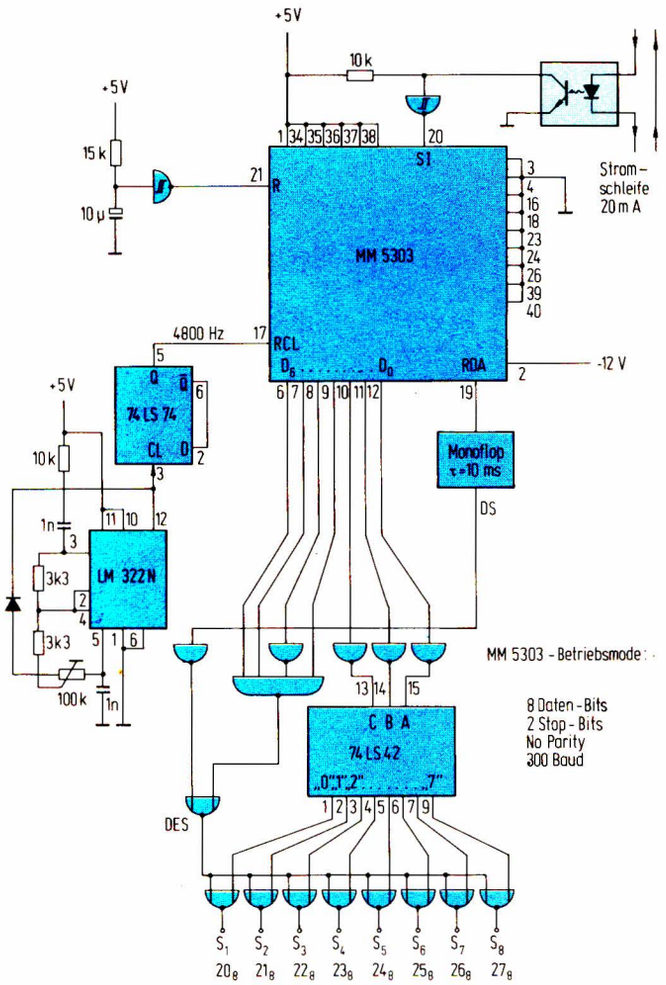


Bild 2. Gesamtschaltung des IEC-Bus-Monitors

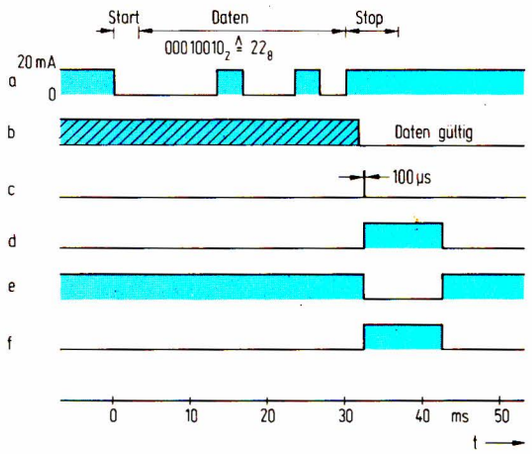


Bild 3. Zeitabläufe der wichtigsten Signale:
a) Strom in der Stromschleife der seriellen Schnittstelle;
b) Daten, die im schraffierten Teil alt oder ungültig sind, stehen ab der Mitte des ersten Stop-Bits gültig an;
c) Signal RDA (*received data available*) des UART;
d) Signal DS (Datenstrobe), verlängerter RDA-Impuls (10 ms);
e) Signal DES (Decodierter Strobe), entsteht nur, wenn das empfangene Zeichen im ausgewählten Bereich liegt;
f) Ausgangssignal S_3, wenn das Zeichen 22_8 gesendet wurde

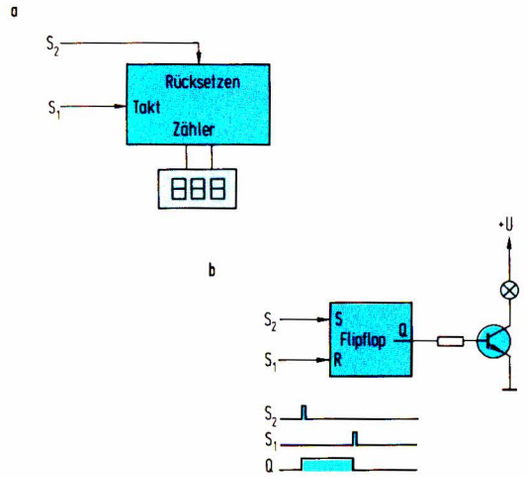


Bild 4. Mögliche Ergänzungen für die praktische Anwendung: a) Unter Verwenden zweier Steuersignale (z. B. S_1 und S_2) kann ein dreistelliger Zähler über die serielle Schnittstelle angesteuert werden (das Zeichen 20_8 inkrementiert den Zähler, das Zeichen 21_8 löscht ihn); b) Erzeugen von digitalen Ausgangspegeln (z. B. zum Ein-/Ausschalten von Verbrauchern oder Anzeigelampen); Ergänzt man die Schaltung mit einem RS-Flipflop und einer Treiberstufe, so können verschiedene Verbraucher angesteuert werden (z. B. schaltet 21_8 ein und 20_8 aus)

zeugt gemeinsam mit dem Flipflop 74LS74 den erforderlichen Takt mit einer Frequenz, die 16mal höher als die gewünschte Baudrate sein muß (hier: 300 Baud, daher 4800 Hz).

Wie aus *Bild 3* entnommen werden kann, stellt der UART nach dem Empfang jedes Zeichens einen Strobe-Impuls RDA zur Verfügung, um die Gültigkeit der Ausgangsdaten anzuzeigen. Ein Monoflop verlängert diesen Impuls auf 10 ms, was auch der Ausgangsimpulsdauer entspricht.

In den folgenden Gattern sowie im Decodierbaustein 74LS42 erfolgt die Decodierung der ausgewählten Bitkombinationen, die Ausgangssignale erzeugen sollen. Es wurden die Zeichen 20_8...27_8 gewählt, da diese vom verwendeten Drucker nicht interpretiert werden konnten und daher das Druckbild nicht störten. Die Ausgänge S_1...S_8 geben nach dem Empfang des jeweils zugeordneten Zeichens einen Impuls von 10 ms Dauer ab, der z. B. zur Steuerung von Zählern, Flipflops u. ä. verwendet werden kann (siehe *Bild 4*).

Dipl.-Ing. Wolfgang Pribyl

Markengeber für Wobbelgeneratoren

Diese Schaltung wurde in einen Markengeber eingebaut. Beim Wobbeln kann man damit und mit einem zweiten Frequenzgenerator, der die Frequenz digital anzeigt, eine Marke auf das Oszilloskop einblenden, z. B. durch Dunkeltasten.

Legt man an den Takt- und D-Eingang eines D-Flipflops verschiedene Frequenzen an, so geht die Ausgangsfrequenz auf Null, wenn folgende Bedingungen erfüllt sind:

$f_D > f_T$: $f_D = n \cdot f_T$

$f_D < f_T$: $f_D = f_T/n$

f_D = Frequenz am D-Eingang

f_T = Taktfrequenz

n = 1, 2, 3, 4, ...

Will man eine Frequenz mit einer anderen vergleichen, die in einem großen Bereich variabel ist, muß man, um eine eindeutige Anzeige (Nullstelle) zu erhalten, zwei D-Flipflops so beschalten, daß ein Flipflop die Bedingung $f_D > f_T$ und das andere die Bedingung $f_D < f_T$ erfüllt. Die Ausgänge beider Flipflops werden so miteinander verknüpft, daß die Ausgangsfrequenz nur dann auf Null geht, wenn beide Flipflop-Ausgangsfrequenzen null sind. Das trifft zu bei n=1. Dazu wurde die gleiche Schaltung ein zweitesmal verwendet und an die Ausgänge der ersten angeschlossen (*Bild 1*). An einem Ausgang der zweiten Anordnung erhält man jeweils Rechteckimpulse, während der andere auf „H" liegt. Ist die zu vergleichende Frequenz größer als die Vergleichsfrequenz geworden, vertauschen beide Ausgänge ihre Zustände. Verbindet man die Ausgänge mit einem RS-Flipflop, gebildet aus zwei NAND-Gattern, springt der Ausgang des RS-Flipflops dann jeweils auf seine entgegengesetzte Lage.

Die eingeblendete Marke zeigt dann die Stelle an, an der die Frequenz des Wobbelgenerators mit der des zweiten Generators übereinstimmt (*Bild 2*). Sie verschiebt sich, wenn man die Frequenz des zweiten Generators ändert. Die Stelle der Marke läßt sich an der digitalen Anzeigeeinheit genau ablesen. Am Ausgang des RS-Flipflops ist ein Monoflop angeschlossen, dessen Zeitkonstante in einem großen Bereich einstellbar ist; die Markenbreite kann der Wobbelfrequenz damit angepaßt werden. Bei den eingezeichneten Oszillogrammen ist die X-Achse mit der Frequenzachse identisch, wobei ein Wobbelhub aus Gründen, die am Wobbelgenerator liegen, rückwärts, also von rechts mit der höchsten Frequenz beginnend, nach links läuft. Die Vergleichsfrequenz liegt hierbei in der Mitte der Oszillogramme.

Voraussetzung für eine sichere Funktion der Schaltung ist, daß beide Eingangssignale aus symmetrischen Rechteckimpulsen bestehen. Falls solche nicht vorhanden sind, kann man sie durch Vorschalten eines 1:2-Teilers erzeugen. Der Markengeber wurde in einen Funktionsgenerator eingebaut und funktioniert im gesamten Bereich des Generators (1 Hz...2 MHz) einwandfrei. Für höhere Frequenzen wurde die Schaltung nicht überprüft, sie müßte aber im Prinzip ebenso gut arbeiten, wenn man schnellere Flipflops benutzt. Bei niedrigen Frequenzen muß darauf geachtet werden, daß die Wobbelfrequenz klein ist, sonst wird keine Marke erzeugt. Man erhält damit gleichzeitig den Hinweis, daß die gewobbelte Kurve fehlerhaft sein kann, weil das Durchstimmen zu schnell erfolgt.

Dipl.-Ing. Jürgen Bartels

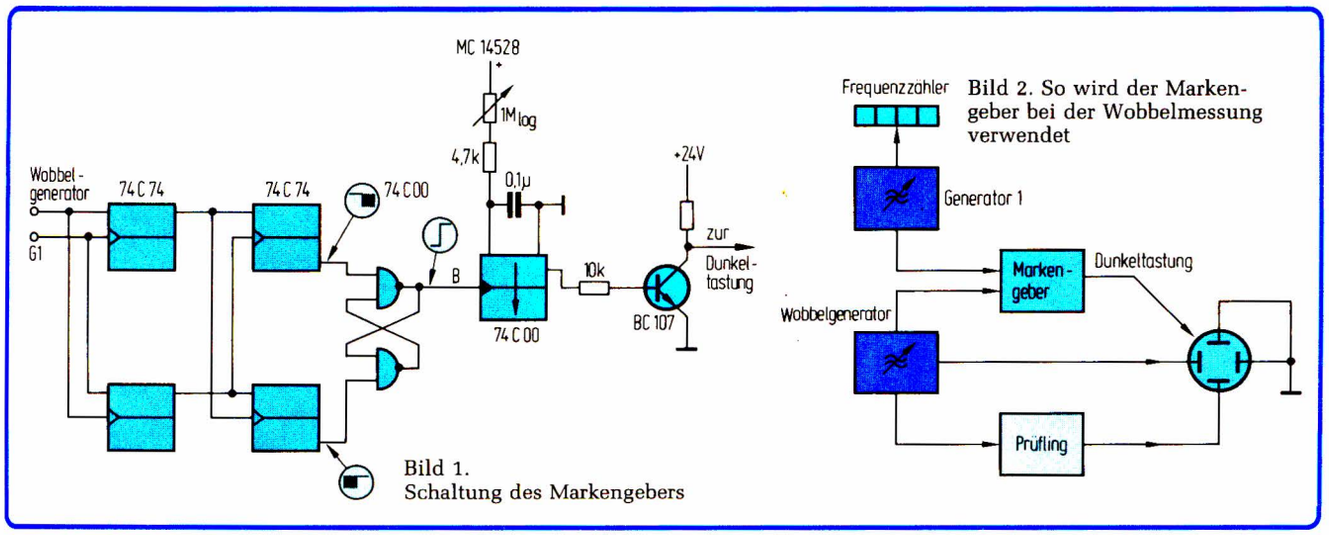


Bild 1.
Schaltung des Markengebers

Bild 2. So wird der Markengeber bei der Wobbelmessung verwendet

Digitaler Wobbelgenerator

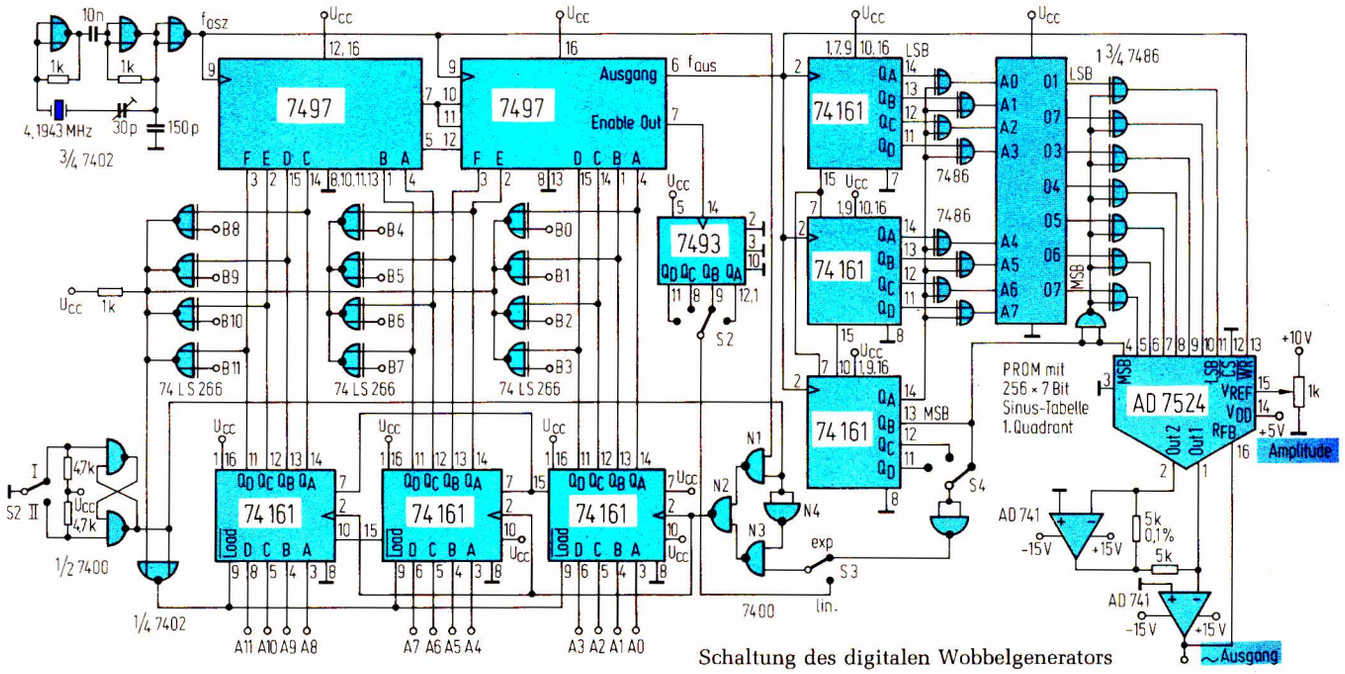
Der beschriebene Generator erzeugt Sinus-Spannungen, deren Frequenz sich digital in 1-Hz-Stufen im Bereich 1...4095 Hz einstellen läßt. Beim Betrieb als Wobbelgenerator kann zwischen linearem und exponentiellem Frequenzverlauf gewählt werden. Der Wobbelbereich wird durch zwei 12-Bit-Worte festgelegt.

Der rechte Teil der Schaltung (*Bild*) enthält den digitalen Sinus-Generator. Der Adressenzähler ist als Synchronzähler mit drei Bausteinen 74161 ausgeführt. Nur die ersten 10 Bit werden zur Steuerung des Sinus-Generators benutzt. Die Erzeugung der Sinus-Vollwelle im *Bipolar Offset Binary Code* aus dem im PROM gespeicherten 1. Quadranten erfolgt mit Hilfe der beiden aus EXOR-Gattern bestehenden steuerbaren Negatoren nach dem in [1] angegebenen Verfahren. Die Digital-/Analog-Umsetzung übernimmt der Baustein AD 7524 (Analog Devices), ein in CMOS-Technologie hergestellter multiplizierender 8-Bit-Umsetzer mit Eingangsregister, der sich durch hohe Geschwindigkeit auszeichnet. Damit positive und negative Sinus-Halbwellen genau gleiche Amplituden haben, fehlen die sonst üblichen Widerstände zum Anheben der Ausgangsspannung auf 0 V für das Eingangswort 1000 0000. Will man auch die Amplitude des Sinus-Signals digital einstellen, so kann dies mit einem zweiten DAU geschehen, dessen Ausgangsspannung dann dem Anschluß V_{ref} zugeführt wird.

Der Adressenzähler des Sinus-Generators wird von einem aus zwei kaskadierten Bausteinen 7497 bestehenden binären 12-Bit-Frequenzteiler (rate multiplier) angesteuert. Dessen Ausgangsfrequenz ist proportional zu dem an den Eingängen liegenden 12-Bit-Wort und liegt zwischen 0 und 4095 · $f_{osz}/4096$. Die Ausgangsimpulse des Teilers sind so gleichmäßig wie möglich verteilt. Der Phasenjitter beträgt maximal 360°. Da die Frequenz im Adressenzähler des Sinus-Generators noch durch 1024 geteilt wird, beträgt der Phasenjitter der Sinus-Spannung 360°/1024 = 0,35°. Dieser Wert ist für fast alle Anwendungen unerheblich.

In Stellung II des Schalters S 1 wird der den Frequenzteiler ansteuernde Zähler ständig mit dem Datenwort A0...A11 geladen. Da diese Programmierung des Zählers nur in Verbindung mit einer positiven Taktflanke ausgeführt wird, liegt bei dieser Schalterstellung die Oszillatorfrequenz f_{osz} über N1 und N2 am Takteingang. Man hat somit in Schalterstellung II einen Sinus-Generator, dessen Frequenz digital programmiert werden kann. Der Vorteil dieser Schaltung gegenüber einer entsprechenden mit PLL ausgeführten liegt darin, daß bei sprunghaften Änderungen des Datenwortes sich sofort auch die Frequenz sprunghaft ändert, während eine PLL-Schaltung mindestens 100 Schwingungsperioden zum Einschwingen braucht.

In Stellung I des Schalters S1 arbeitet die Schaltung als Wobbelgenerator. Wenn S3 auf „lin" steht, liegt



Schaltung des digitalen Wobbelgenerators

eine konstante, durch S2 in Stufen 1:2 einstellbare Frequenz über N3 und N2 am Takteingang des Zählers. Dieser zählt gleichmäßig hoch, und die Ausgangsfrequenz steigt deshalb linear mit der Zeit. Wenn der Zähler den an den Eingängen B0...B11 liegenden Wert erreicht hat, stellt der Komparator aus den EXNOR-Gattern 74LS266 (Wired-OR-verschaltet) dies fest und programmiert den Zähler auf den an A0...A11 anliegenden Anfangswert zurück, worauf ein neuer Zyklus beginnt. Für größere und tiefe Frequenzen einschließende Wobbelbereiche empfiehlt es sich, S3 in Stellung „exp" zu stellen. Es wird dann von jeder Frequenzstufe die gleiche Anzahl (1, 2 oder 4, mit S4 einstellbar) an Perioden ausgeführt, wodurch sich eine exponentielle Zunahme der Frequenz mit der Zeit ergibt.

Claudia Bolik

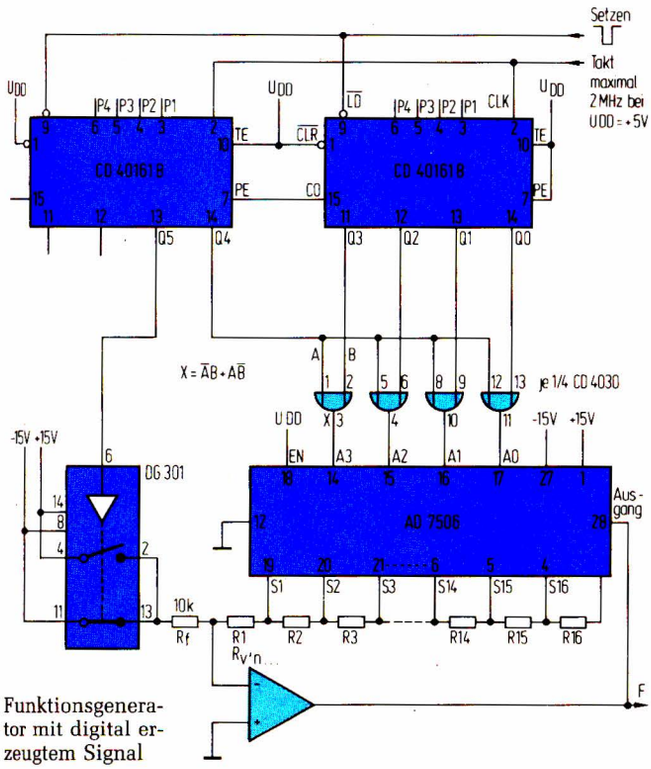
Literatur

1 *Trenkler, G., Vollmert, R.:* Digitaler Doppel-Wechselspannungsgenerator. ELEKTRONIK 1978, H. 11, S. 67...70.

Einfacher Funktionsgenerator

Oft werden Signalgeneratoren mit speziellen Kurvenformen benötigt, bei denen auch der Einsatzpunkt der Schwingung bestimmt werden kann, um u. a. eine geforderte Phasenverschiebung zwischen zwei Signalen zu erreichen. Das *Bild* zeigt den grundsätzlichen Aufbau eines Generators, der diese Bedingungen erfüllen kann.

Die Schaltung besteht im wesentlichen aus einem 16-Kanal-Analog-Multiplexer AD 7506 und zwei Binär-Zählern CD 40161 B als Adressen-Generator. Die am Ausgang abgegebene Kurvenform wird von der Widerstandskette $R_{V'1}...R_{V'16}$ bestimmt. Die Ausgangsfrequenz F ist 1/64 der Taktfrequenz am Eingang des Zählers ($F_{max} \approx 30$ kHz). Werden höhere Ausgangsfrequenzen benötigt, kann das durch Erhöhung der Versorgungsspannung (U_{DD}) des Zählers auf +15 V erreicht werden. Für diesen Fall ist die maximal zulässige Taktfrequenz 8 MHz. Allerdings sollte dann auch statt des CMOS-Multiplexers ein Typ mit höherer Schaltgeschwindigkeit eingesetzt werden.



Funktionsgenerator mit digital erzeugtem Signal

Die Ausgänge $Q_0...Q_3$ des Zählers werden über Exklusiv-Oder-Gatter auf den Adresseneingang des Multiplexers geschaltet. Der Ausgang Q_4 kontrolliert dabei die Gatter in der Weise, daß bei Q_4 = „0" die Adressen von 0...15 und bei Q_4 = „1" die Adressen von 15...0 generiert werden. Bei Ausgang Q_5 = „1" erfolgt eine Umkehrung der Eingangsspannung am Verstärker, so daß die negative Halbwelle abgebildet wird.

Eine spezielle Anwendung der Schaltung ist der Einsatz als digital kontrollierter Sinusgenerator. Für diesen Fall berechnen sich die Einzelwiderstände nach der Gleichung

$$R_{V'n} = R_f \cdot \sin \frac{90}{16} n - \sum_{n=1}^{n-1} R_{V'n}$$

Zur Abbildung anderer Funktionen muß der umrandete Ausdruck im Basic-Programm

```
DIM RV(16):DIM RW(16)
A=3:FOR I=1 TO 16
RV(I)=100*   SIN (90/16*I*π/180)
RW(0)=0
FOR J=0 TO I-1
RW(I+1)=RW(J)+RV(J+1)
NEXT J
RV(I)=RV(I)–RW(I-1)
RV=1000*RV(I):RV=INT(RV)/10
PRINT"R";I;SPC(A);":";RV,"KOHM"
IF I=9 THEN A=2
NEXT I
```

durch den entsprechenden Funktionsausdruck ersetzt werden. Da jeder Analogschalter annähernd den gleichen Widerstand im eingeschalteten Zustand besitzt, geht dieser Fehler nur als Verstärkungsfehler, nicht aber als Fehler des Funktionsverlaufes ein.

Ing. (grad.) Horst Zander

Hochwertiger durchstimmbarer Nf-Sinusgenerator

Trotz großer Fortschritte in der Synthese von Sinusschwingungen besteht der einfachste Weg zum Erzeugen klirrarmer Sinussignale immer noch im Aufbau schwingungsfähiger Systeme. Die meisten bekannten Schaltungen haben jedoch den Nachteil, daß beim Abstimmen auch zwei Zeitkonstanten gleichläufig verändert werden müssen. Der in diesem Beitrag vorgestellte Generator arbeitet dagegen mit Allpässen und verändert deshalb seine Amplitude nicht, wenn beim Durchstimmen Gleichlaufschwankungen auftreten.

Da der Sinus als Lösung der Schwingungsdifferentialgleichung 2. Ordnung anzusehen ist, sind auch zwei konzentrierte Energiespeicher nötig, um das Netzwerk zu realisieren. Im Nf-Bereich übernehmen im allgemeinen zwei Kondensatoren diese Aufgabe. Wie z. B. beim bekannten Wien-Oszillator führen Gleichlaufschwankungen zu großen Amplitudenschwankungen. Das macht Amplitudenregelschaltungen mit hohem Durchgriff nötig, die auch wieder ihre Nachteile haben wie Erzeugung von Verzerrungen oder Schwingungen. Eine geringe Amplitudenregelung mit nichtlinearen Bauelementen ist jedoch bei jedem Oszillator nötig.

Seitdem billige Operationsverstärker mit gutem Frequenzverhalten auf dem Markt sind, lassen sich leicht Allpässe aufbauen, die im Nf-Bereich hochwertige Eigenschaften besitzen. Neben den beiden Allpässen enthält der Oszillator noch einen invertierenden Verstärker, dessen Verstärkung sich mit P 1 geringfügig um 1 variieren läßt, um die Dämpfung im gesamten Frequenzbereich aufzuheben. Damit ist die optimale Mitkopplungsbedingung für diejenige Frequenz gegeben, für die die Phasenverschiebung beider Allpässe zusammen 180° beträgt.

Funktion

Die Übertragungsfunktion eines Phasenschiebers läßt sich leicht aufstellen, wenn man berücksichtigt, daß der Operationsverstärker seine Ausgangsspannung stets so einstellt, daß keine Spannungsdifferenz mehr zwischen den Eingängen herrscht:

$$\frac{U_a}{U_e} = \frac{j\omega\tau - \frac{R2}{R1}}{j\omega\tau + 1}$$

Für R 2 = R 1 erhält man einen Allpaß, da der Betrag der Übertragungsfunktion 1 ist, unabhängig von $\omega\tau$. Für die Phasenverschiebung gilt:

$$\varphi = 2 \arctan \omega\tau \qquad (R2 = R1)$$

Um nicht erst im Unendlichen auf 180° Phasenverschiebung zu kommen, sind zwei Allpässe nötig. Wenn τ_1 und τ_2 deren Zeitkonstanten sind, schwingt das System auf der Frequenz

$$\omega = \frac{1}{\sqrt{\tau_1 \tau_2}}$$

Gleichlauf zeichnet sich durch $\tau_2 - \tau_1 = 0$ aus, so daß $\tau_2 = \tau_1 = \tau$ gilt:

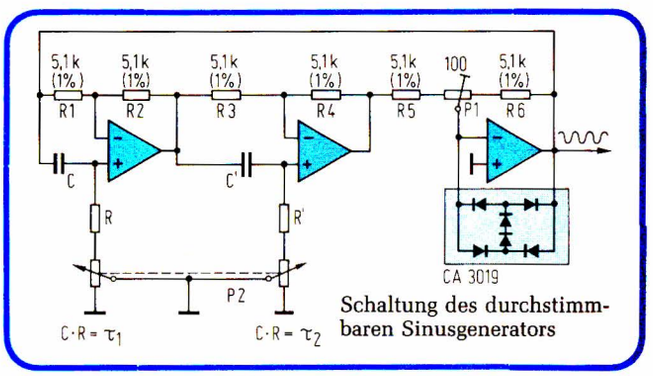
$$\omega = 2\pi f = \frac{1}{\tau}$$

Wenn R 2 und R 1 aufgrund von Toleranzen voneinander abweichen, ist das System im Grunde genommen kein Allpaß mehr. In diesem Fall auftretende Gleichlaufschwankungen $\Delta\tau = \tau_2 - \tau_1$ bewirken eine gegenläufige Veränderung der Phasenverschiebungen beider Allpässe, so daß sich gegenüber dem Gleichlauffall eine andere Amplitude ergibt. Eine etwas längere Rechnung (Bildung von $|U_a/U_e|^2$ durch Multiplikation mit dem konjugiert Komplexen, Taylor-Entwicklung dieses Ausdrucks und Abbruch nach dem ersten Glied) führt auf die Gleichung

$$\Delta \left| \frac{U_a}{U_e} \right|^2 \approx \frac{\Delta R}{2} \cdot \frac{\Delta\tau}{\tau} \qquad (\Delta R = R2 - R1)$$

Diese Näherung gilt noch gut bis $\Delta\tau/\tau < 0{,}5$ und gibt die maximale Amplitudenschwankung an, die bei vorgegebener Toleranz von R 1 und R 2 als Folge einer Gleichlaufschwankung $\Delta\tau$ auftritt.

Die Diodenbrücke dient zur Amplitudenstabilisierung und gewährleistet besonders bei Verwendung



Schaltung des durchstimmbaren Sinusgenerators

eines Diodenarrays eine weitgehend symmetrische Begrenzung der Sinushalbwellen. Sie verursacht allerdings auch eine Temperaturabhängigkeit der Amplitude (< 0,3 %/K).

Da der größte Teil der Verzerrungen vom Amplitudennetzwerk stammt und die Verzerrungen der Allpässe zu vernachlässigen sind, läßt sich der Klirrfaktor sehr leicht abschätzen, indem man mit einem Potentiometer Ein- und Ausgangsspannung am invertierenden Verstärker kompensiert. Auf dem Oszilloskop erscheint dann die durch das Begrenzernetzwerk verursachte Verzerrung einschließlich einem Rest der Grundwelle, der durch geringe Phasendrehungen des Verstärkers entsteht.

Ausführung

Es wurde ein Oszillator realisiert, der ohne Bereichsumschaltung im Bereich 20...20 000 Hz durchstimmbar ist (R = 1 kΩ (0,1 %), C = 7,5 nF, P 2 = 1 MΩ). Bei einer maximalen Amplitudenabweichung von ±2 % wurde ein Klirrfaktor von 0,1 % erreicht. Wenn man mit P 1 höheren Durchgriff der Amplitudenregelung einstellt, steigt auch der Klirrfaktor an. Bei dekadischer Teilung der Frequenzskala reichen für R 1...R 4 Toleranzen von 1 %.

Als Operationsverstärker wurde der CA 3140 (MOS-Eingänge) verwendet, es sind aber auch die Typen LF 356 (FET-Eingänge) oder LM 318 denkbar. Ein µA 741 würde bereits 5 % Verstärkungsabfall bei 20 kHz verursachen.

Um stets gleiche relative Einstellgenauigkeit $\Delta\omega/\omega$ zu erhalten, sollte ein logarithmisches Potentiometer zur Abstimmung verwendet werden.

Hartmut Schmidt

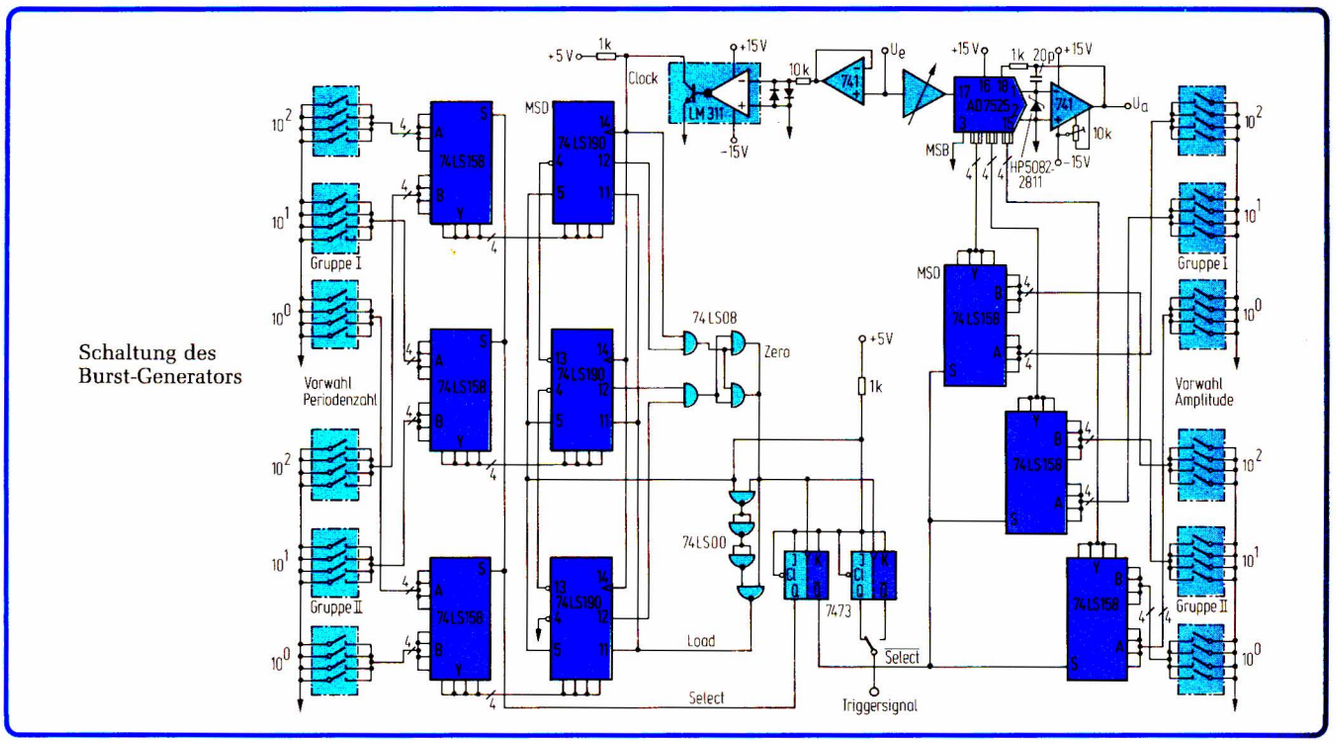
Universeller Nf-Burst-Generator

Bei der Beurteilung eines Vierpols ist ein wichtiger Test die Untersuchung der Sprungantwort auf ein Rechtecksignal. Bei einer Audio-Schaltung ist meist das Verhalten gegenüber Amplitudensprüngen von z. B. Sinus-Signalen, wie sie auch in Sprache und Musik vorkommen, aussagekräftiger. Mit der im *Bild* dargestellten Schaltung können derartige Amplitudensprung-Tests mit beliebigen Testsignalen durchgeführt werden.

Ein solcher Test ist z. B. in der Norm IHF-A-202 1978 zur Ermittlung der dynamischen Aussteuerungsreserve (*Dynamic Headroom*) vorgeschrieben.

1 Möglichkeiten der Schaltung

Da meist ein Signalgenerator vorhanden ist und die Schaltung universell für alle Testsignale einsetzbar sein soll, wird das Testsignal nicht intern erzeugt, sondern von außen zugeführt. Die Eingangsspannung U_e mit beliebiger Kurvenform wird durch einen multiplizierenden Digital-/Analog-Umsetzer (MDAU) auf die Ausgangsspannung $U_a = -U_e \cdot D$ umgesetzt, wobei nur die Amplitude, nicht aber die Signalform verändert wird. Der digitale Wert D wird zwischen zwei, durch Vorwahlschalter einstellbaren Werten automatisch hin- und hergeschaltet. Dies hat den gewünschten Amplitudensprung zur Folge, wobei beide Amplitudenwerte selbstverständlich unabhängig voneinander einstellbar sind. Die Obergrenze der Ausgangsamplitude ist durch die Größe der Eingangsamplitude bestimmt, die wiederum durch die Spannungsfestigkeit des MDAU limitiert ist. Um die genannte Universalität der Schaltung zu erreichen, wurde die Zeitdauer, während der die beiden Amplitudenwerte ausgegeben werden, ebenfalls – für jeden der beiden Amplitudenwerte getrennt – einstellbar gemacht. Es ist wünschenswert, daß die Umschaltungen im Nulldurchgang des Signals erfolgen. Es kommt dann nur noch auf das Verhältnis der Zeiten an, während der die beiden verschiedenen Amplituden ausgegeben werden. So ist es am vorteilhaftesten – das zeigt sich vor allem bei der Frequenzänderung des Testsignals –, daß man die Anzahl von Perioden einstellen kann, während der die eine bzw. die andere Amplitude ausgegeben wird. So hat man zwei Paare von Schaltergruppen, an denen sich die beiden Amplituden und die beiden Periodenzahlen, während der diese Amplituden ausgegeben werden sollen, vorwählen lassen. In der Schaltung wurden für jede Gruppe drei BCD-Schalter vorgesehen, d. h. der Einstellbereich reicht von 000...999 Perioden und vom 0,000- bis zum 0,999fachen der Eingangsamplitude. Eine – auch unsymmetrische – Verkleinerung bzw. Erweiterung, vor allem der Periodenzahl, ist ohne Schwierigkeiten möglich. So kann z. B. das MSB des MDAU – das in der Schaltung auf Masse gelegt ist – verwendet werden; damit reicht der Einstellbereich der Ausgangsamplitude vom 0,000- bis zum 1,999fachen der Ein-



gangsamplitude. Auch eine bipolare Arbeitsweise des MDAU ist möglich [1].

2 Realisierung

Der Amplitudenteil besteht aus dem 3½stelligen BCD-codierten MDAU AD7525 in Standardschaltung [2]. Der Baustein wird analog von der Eingangsspannung U_e angesteuert, die bei Bedarf durch einen eventuell einstellbaren Verstärker angepaßt wird. Digital wird der MDAU durch die vorwählbare dreistellige BCD-Zahl entweder der Gruppe I oder II angesteuert. Die Auswahl erfolgt durch die drei 4×2-zu-4×1-Multiplexer 74LS158, die ihrerseits durch das $\overline{\text{SELECT}}$-Signal gesteuert werden. Durch die Verwendung dieser invertierenden Typen ist es möglich, für die Vorwahlschalter einfache, im BCD-Code schließende Typen zu verwenden, deren gemeinsamer Anschluß auf Masse gelegt wird.

Das Eingangssignal des Periodenteils wird durch den als Spannungsfolger geschalteten Operationsverstärker 741 von der weiteren Schaltung entkoppelt. Der Nulldurchgang des Signals wird durch den Komparator LM311 detektiert. Er besitzt gegenüber schnelleren Typen (z. B. TL506, TL514) eine geringere Schwingneigung. Das TTL-kompatible Signal CLOCK dient zum Takten der asynchron parallel setzbaren, synchronen dekadischen Vor-/Rückwärts-Zähler 74LS190 sowie zur Erzeugung des ZERO-Signals. In der Schaltung zählen die Zähler nur abwärts. Der Zählerstand 000 wird durch das IC 74LS08 erkannt, das ein UND-Gatter mit vier Eingängen nachbildet und bei dem zur Fan-out-Erhöhung zwei Gatter parallel geschaltet sind. Zur Bildung des ZERO-Signals ist neben den drei Min-Signalen der Zähler auch noch das CLOCK-Signal verwendet worden. Das ZERO-Signal bewirkt nun zweierlei. Mit der steigenden Flanke wird durch das IC 74LS00 ein LOAD-Signal erzeugt. Das nach Brügger [3] beschaltete IC bildet ein Monoflop ohne externe Komponenten. Die Impulsbreite beträgt $3 \cdot t_{PLH}$. Die Werte von t_{PLH} für die einzelnen TTL-Familien sind unterschiedlich [4]. Dadurch, daß die Synchronzähler durch das LOAD-Signal asynchron geladen werden, fällt die Min-Bedingung mindestens eines Zählers weg (wenn nicht gerade 000 geladen wird), deshalb geht das ZERO-Signal von H nach L. Diese fallende Flanke läßt die mit SELECT und SELECT bezeichneten Ausgänge des JK-MS-Flipflops 7473 ihre logischen Zustände wechseln. Dadurch werden die Multiplexer von Gruppe I auf Gruppe II bzw. umgekehrt umgeschaltet. Die Periodenzahlen werden also kurz vor dem Umschaltzeitpunkt geladen. Deshalb liegen die Schalter der Gruppe I, sowohl bei den Perioden- wie auch bei den Amplituden-Multiplexern, immer an deren A-Eingängen, obwohl die beiden Multiplexer-Gruppen durch die komplementären Signale SELECT und $\overline{\text{SELECT}}$ angesteuert werden. Die ausgewählte und durch das LOAD-Signal geladene dreistellige BCD-Zahl wird im Takt des Eingangssignals heruntergezählt, wobei sich beim Zählerstand 000 der beschriebene Vorgang – jetzt mit der

anderen Gruppe – wiederholt. Die zweite Hälfte des Flipflops liefert ein TTL-Triggersignal. Je nach Schalterstellung und Art der Triggerflanke (steigend oder fallend) kann damit auf den Beginn der Signalgruppe I oder II getriggert werden.

Außer der Kompensation der Eingangs-Offset-Spannung der Operationsverstärker ist kein Abgleich der Schaltung nötig. Beim Aufbau sind lediglich die Regeln für die Auslegung der Analog-Masse zu beachten. Die obere Frequenzgrenze der Schaltung ist durch den analogen Teil gegeben. Möchte man die Schaltung für höhere Frequenzen verwenden und stört die – verglichen mit dem digitalen Teil – relativ langsame Antwort des MDAU, so läßt sich dies vermindern, indem man den Triggerzeitpunkt des Komparators dadurch vorverlegt, daß man an den nicht-invertierenden Eingang eine Spannung anlegt. *Ulrich Bicheler*

Literatur

[1] Application Guide to CMOS Multiplying D/A Converters. Fa. Analog Devices.

[2] *Löser, P.*: CMOS-D/A-Umsetzer ersetzt Feinpotentiometer. ELEKTRONIK 1979, H. 6, S. 71.

[3] *Brügger, R.*: Monoflop aus Gattern. ELEKTRONIK 1979, H. 9, S. 75.

[4] The TTL Data Book. Fa. Texas Instruments.

Burst-Zusatz für Nf-Generatoren

Minimaler Eingriff in vorhandene Geräte

In der Niederfrequenztechnik ist es üblich, Verstärker und Magnetbänder mit Bursts (Impulsbündel) zu prüfen. Damit kann man gegenüber der Verwendung von kontinuierlichen Signalen exaktere Aussagen über die Parameter Einschwingverhalten und Spitzenaussteuerung erhalten. Die in *Bild 1* gezeigte Schaltung erzeugt als Zusatz zu einfachen Nf-Generatoren solche Bursts im Verhältnis 1 : 8. Der Eingriff in ein vorhandenes Gerät ist minimal, wenn die Voraussetzungen eines separaten Triggerausgangs und einer positiven und negativen Versorgungsspannung gegeben sind. Obwohl die in *Bild 2* gezeigte Anordnung des Schalters vor dem Pegelregler des nachfolgenden Endverstärkers am besten geeignet ist, kann (unter Verzicht auf den niedrigen Innenwiderstand) auch ein entsprechender Spannungsteiler am Ausgang des Generators vorgesehen werden.

Die Funktionsweise der Schaltung ergibt sich wie folgt: Die vom Triggerausgang kommenden Pulse gelangen nach einer individuellen Pegelanpassung an den Eingang eines 8 : 1-Teilers (CD4022, jeder der acht decodierten Ausgänge kann verwendet werden). Jeder achte Impuls steuert – nach einer entsprechenden Pegelumsetzung – den invers betriebenen Schalttransistor für genau eine Periode in den gesperrten Zustand. Die Schaltung arbeitet mit Sinus- und Rechteckschwingungen bis über 10 kHz, jedoch verschiebt sich der Einsatz der Schwingung bei Frequenzen über 4 kHz etwas aus dem Nullpunkt. Für das erwähnte Einsatzgebiet ist das jedoch unkritisch.

Als Schalter wurde wegen der etwas geringeren Restspannung ein Germanium-Schalttransistor gewählt. Bei einer zu schaltenden Spannung (Effektivwert) von 2 V wurde ein Ein-/Aus-Pegelverhältnis von 34 dB gemessen. Mit der angegebenen Dimensionierung arbeitet die Schaltung mit Versorgungsspannungen von ±10...±15 V einwandfrei, wobei die geschaltete Ausgangsspannung einen Spitze-Spitze-Wert von 6 V erreichen kann. Bei der Nennspannung von ±12 V beträgt die Stromaufnahme nur jeweils 1,5 mA.

Dipl.-Ing. Wolfgang Lange

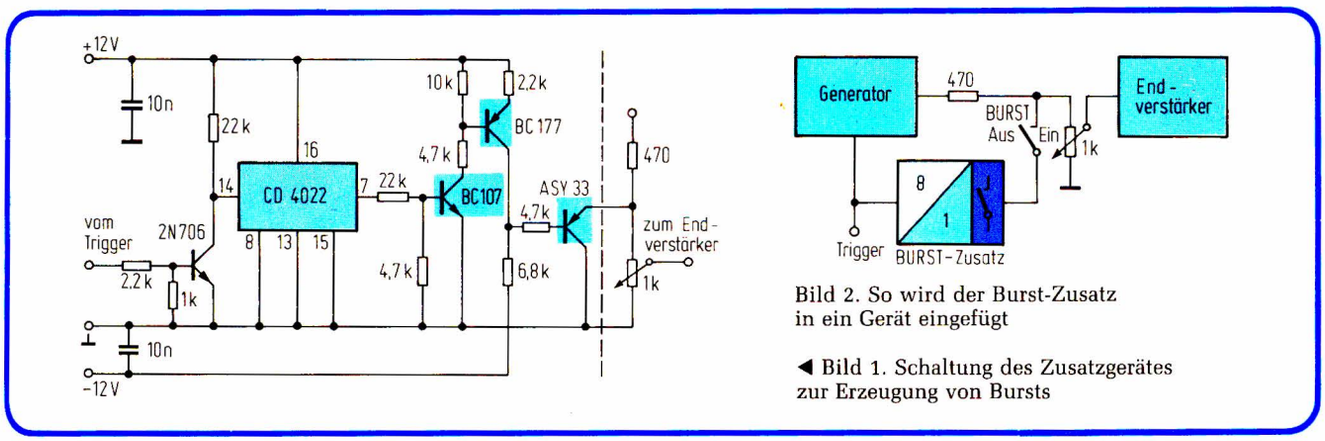


Bild 2. So wird der Burst-Zusatz in ein Gerät eingefügt

◀ Bild 1. Schaltung des Zusatzgerätes zur Erzeugung von Bursts

Programmierbarer Funktionsgenerator

Für die Durchführung mancher Messungen ist es wünschenswert, einen in der Amplitude und in der Frequenz digital einstellbaren Funktionsgenerator mit Sinus-Ausgang zur Verfügung zu haben. Diese Aufgabe erfüllt die hier beschriebene Schaltung.

Es wurde bei der Entwicklung weniger Wert auf Genauigkeit der Absolutwerte gelegt – dafür sind andere digitale Methoden z. B. mit PLL besser geeignet –, sondern darauf, eine Schaltung mit relativ einfachen Mitteln zu entwerfen, die es gestattet, Meßreihen unter Mikroprozessor-Steuerung durchzuführen. So ist es z. B. möglich, Frequenzgänge – mit der angegebenen Dimensionierung im Bereich von 20 Hz...20 kHz in 5-Hz-Schritten – aufzunehmen.

Ein Anwendungsbeispiel ist der Gehörtester, dessen Funktion im Flußdiagramm (*Bild 1*) dargestellt ist. Das Programm wählt eine Frequenz aus einer Tabelle aus, schaltet eine Lampe ein, erhöht von Null an schrittweise die Lautstärke, bis das Maximum erreicht (nach etwa 8 s) oder der Ton gehört und eine entsprechende Taste gedrückt wird. Die Lampe wird dann gelöscht, und die Lautstärke wird gespeichert. Sie steht nach Beendigung der Meßreihe zur Auswertung zur Verfügung. Nach einer Wartezeit (etwa 5 s) beginnt der nächste Meßvorgang mit einer anderen Frequenz.

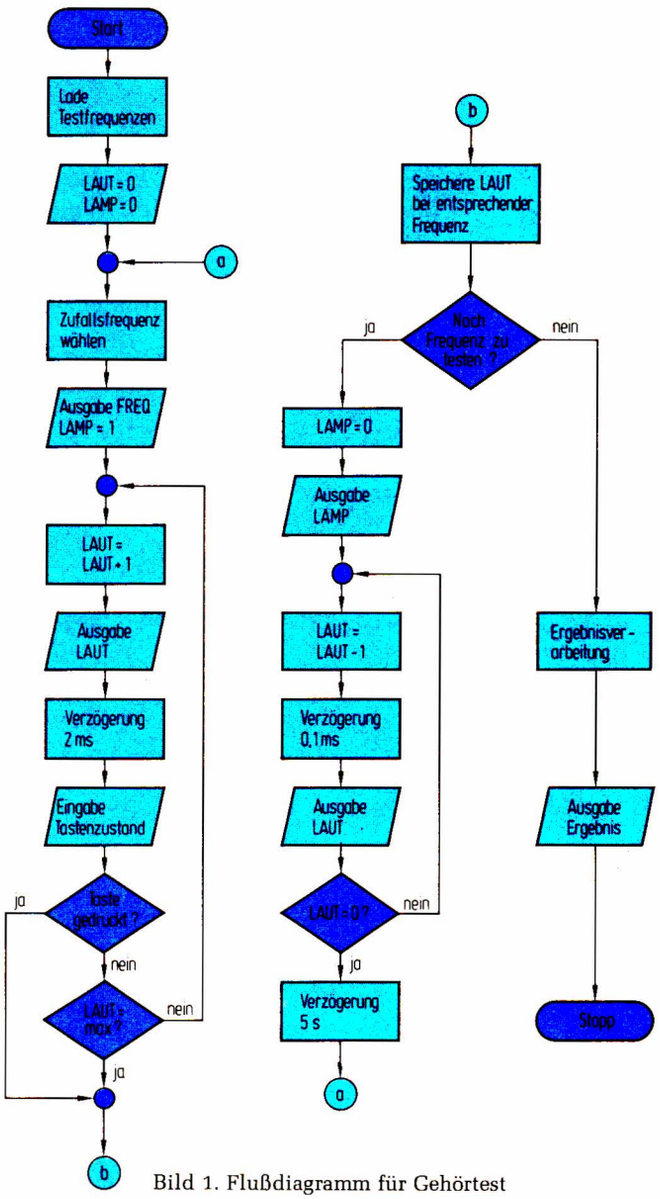


Bild 1. Flußdiagramm für Gehörtest

Die Blockschaltung zeigt *Bild 2*. Die eingezeichneten Pfeile weisen in Richtung des Signalflusses, aber nicht notwendigerweise in Richtung des Stromflusses. Aus der Referenzspannung U_2 wird mit dem digitalen Wert D 1 durch den multiplizierenden Digital-/Analog-Umsetzer (MDAU 1) die Spannung U_3 gewonnen. Diese wird durch einen Spannungs-/Strom-Umsetzer (U/I) in den analogen Strom I_4 umgesetzt, der im Strom-/Frequenz-Umsetzer (I/f) in eine proportionale Frequenz f mit der Amplitude U_5 gewandelt wird. Nach Verstärkung auf eine Spannung mit der Amplitude U_6, die dem MDAU 2 als Referenz zugeführt wird, wird die Amplitude mit dem digitalen Wert D 2 auf U_7 eingestellt.

In der Schaltung (*Bild 3*) können die einzelnen Blöcke aus Bild 2 leicht anhand der eingetragenen Spannungen erkannt werden. Die beiden MDAUs sind

Abgleichhinweise

P 1 Einstellung der Referenzspannung für den MDAU 1; ist so einzustellen, daß für $D\,1 = 2^n - 1$ die maximale Ausgangsfrequenz erreicht wird (etwa −0,9 V für 20 kHz)

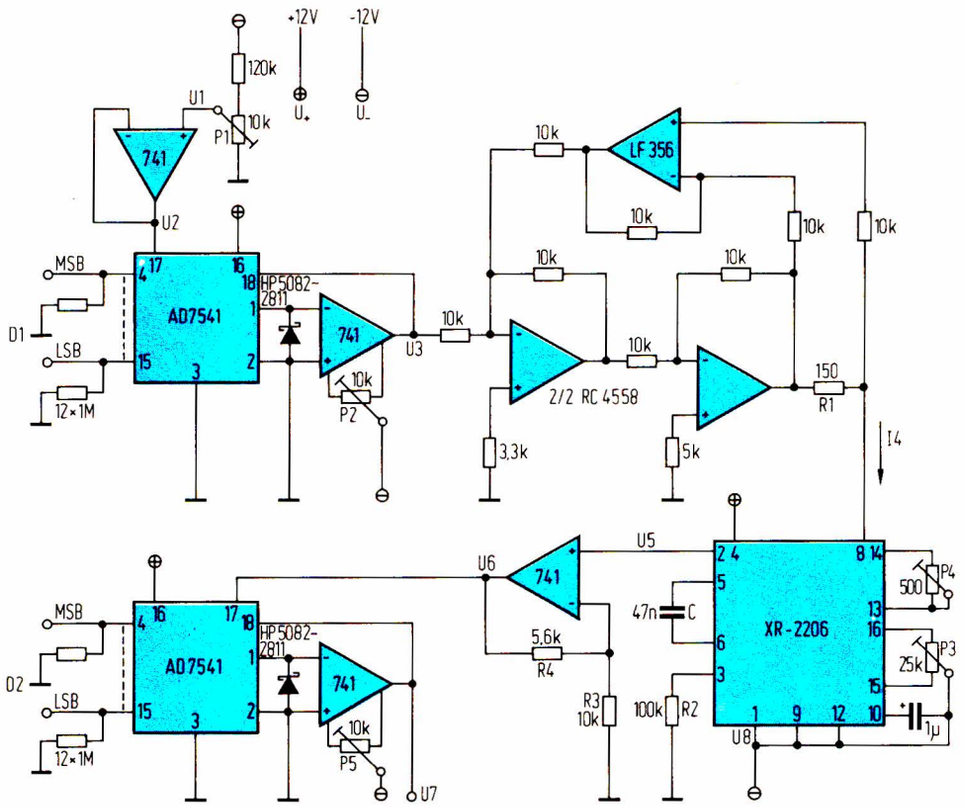
P 2 Kompensation der Eingangs-Offsetspannung

P 3 Symmetrie-Abgleich der Sinus-Funktion

P 4 Abgleich auf minimale harmonische Verzerrung des Sinus-Signals

P 5 Kompensation der Eingangs-Offsetspannung

Bild 3. Ausgeführte Schaltung



Dimensionierung

$U2 = U1$

$U3 = -U2 \cdot \frac{D1}{2^n}$ n = Bitzahl

$I_4 = \frac{U3}{2 \cdot R1}$

$U5 = \mathrm{Min}(A \cdot M \cdot R2;\ 6V(\mathrm{Sp.-Sp.}))$

$$A = \begin{cases} \frac{\left|\frac{U}{2} - U8\right|}{4V} & \text{für } \left|\frac{U}{2} - U8\right| \leqq 4V \\ 1 & \text{für } \left|\frac{U}{2} - U8\right| \geqq 4V \end{cases}$$

$U = U_+ - U_-$

$$M = \begin{cases} 60\ \frac{mV}{k\Omega} & \text{für Sinus} \\ 160\ \frac{mV}{k\Omega} & \text{für Dreieck} \end{cases}$$

$U6 = \frac{R3 + R4}{R3} \cdot U5$

$U7 = -U6 \cdot \frac{D2}{2^n}$

$f(U6, 7, 8) = \frac{0{,}32 \cdot I4}{C \cdot 1V}$

zusammengefaßt:

$U7 = -A \cdot M \cdot R2 \cdot \frac{R3 + R4}{2^n \cdot R3} \cdot D2$

$f = -\frac{0{,}32}{2^n + 1 \cdot 1V} \cdot \frac{1}{R1 \cdot C} \cdot U \cdot D1$

mit der Dimensionierung:

R1 = 150Ω	R4 = 5,6kΩ	U8 = 0V ⇒ A = 1
R2 = 100kΩ	C = 47nF	n = 12
R3 = 10kΩ	U = 24V	M = 60 mV/kΩ (Sinus)

ergibt sich:

$U7 = -2{,}29\ mV \cdot D2$

$f = 4{,}88\ Hz \cdot D1$ mit U2 = 881 mV, d. h. f_{max} = 20,000 kHz

$f = 5{,}00\ Hz \cdot D1$ mit U2 = 902 mV, d. h. f_{max} = 20,475 kHz

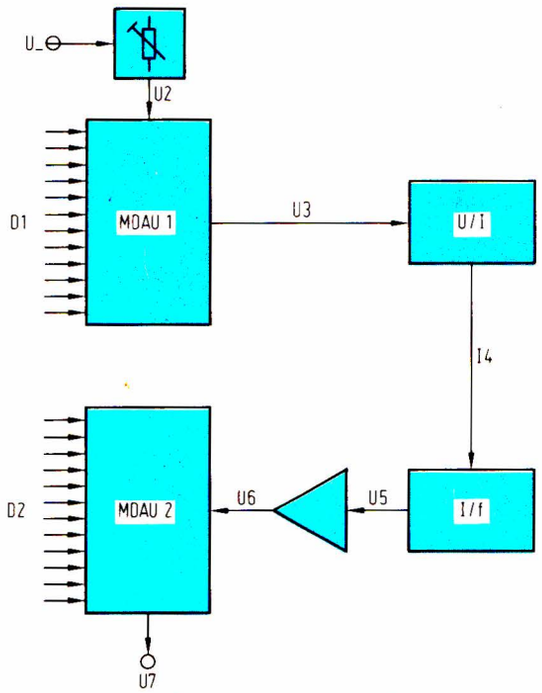


Bild 2. Blockschaltung des programmierbaren Funktionsgenerators

ähnlich wie in [1] aufgebaut. Die 1-MΩ-Widerstände dienen zum Schutz der Digitaleingänge vor statischer Aufladung, wenn sie nicht mit dem Interface bzw. dem Mikrocomputer verbunden sind. Die Schottky-Dioden schützen Stift 1 des Bausteins AD7541 vor negativen Spannungen. Der U/I-Umsetzer ist in der Modifikation nach [3] – die einen Abgleich überflüssig macht – nach einer Standardschaltung [4] aufgebaut. Dazu sollten 1-%-Metallfilm-Widerstände verwendet werden. Das IC LF356 (Intersil, Texas Instruments) ist ein FET-OP mit einem typischen Eingangswiderstand von 1 TΩ [3, 5]. Der I/f-Umsetzer ist nach einer bewährten Standardschaltung [6] beschaltet. Mit dem IC 741 zwischen U_5 und U_6 entkoppelt man den I/f-Umsetzer und verstärkt das Sinus-Signal. U_7 ist die digital durch D 1 in der Frequenz und durch D 2 in der Amplitude einstellbare Ausgangsspannung.

Der Vorteil bei der Verwendung eines MDAU (der bei anderer Beschaltung auch in vier Quadranten arbeiten kann [1, 2]) liegt darin, daß die Kurvenform des analogen Signals erhalten bleibt und durch die digitale Amplitudenregelung nicht mehr beeinflußt wird.

An Stift 11 des XR-2206 (off. Kollektor) steht bei Abschluß durch einen 10-kΩ-Pull-up-Widerstand ein symmetrisches Rechtecksignal zur Verfügung. Wird die Verbindung zwischen den Anschlüssen 13 und 14 geöffnet, erhält man an Stift 2 ein Dreiecksignal. Die Ausgangsamplitude U_5 hängt vom Widerstand R 2 an Stift 3 und von der Spannung U_8 an Stift 1 ab. Der DC-Pegel des Ausgangssignals folgt in etwa dem DC-Pegel, mit dem R 2 vorgespannt wird (hier 0 V). Weitere Einzelheiten können z. B. [6] entnommen werden.

Es ist zu beachten, daß $U_{5,6,7}$ Amplitudenwerte und keine Effektivwerte sind und daß die Spannung U_8 relativ zur negativen Versorgungsspannung gemessen wird! Die digitalen Werte D 1 und D 2 sind – wie bei Mikroprozessorsystemen üblich – ganzzahlig und im Bereich von $0...2^n-1$ dargestellt, wobei n die Bitzahl ist. Im Datenblatt [1] wird eine andere Schreibweise verwendet; siehe hierzu auch die Erläuterungen in [2].

Ulrich Bicheler

Literatur

[1] Data Acquisition Products Catalog 1978. Fa. Analog Devices.

[2] Application Guide to CMOS Multiplying D/A Converters, Fa. Analog Devices.

[3] *Olsowski, W.*: Präzisions-Konstant-Stromquelle. ELEKTRONIK 1979, H. 7, S. 88.

[4] *Tietze, U., Schenk, Ch.*: Halbleiter-Schaltungstechnik. Springer-Verlag, Berlin, 1976.

[5] The Linear Control Circuits Data Book. Datenblatt LF356, Fa. Texas Instruments.

[6] Function Generator Data Book & Product Guide, Fa. Exar.

Oszilloskopsteuerung mit Markengenerator

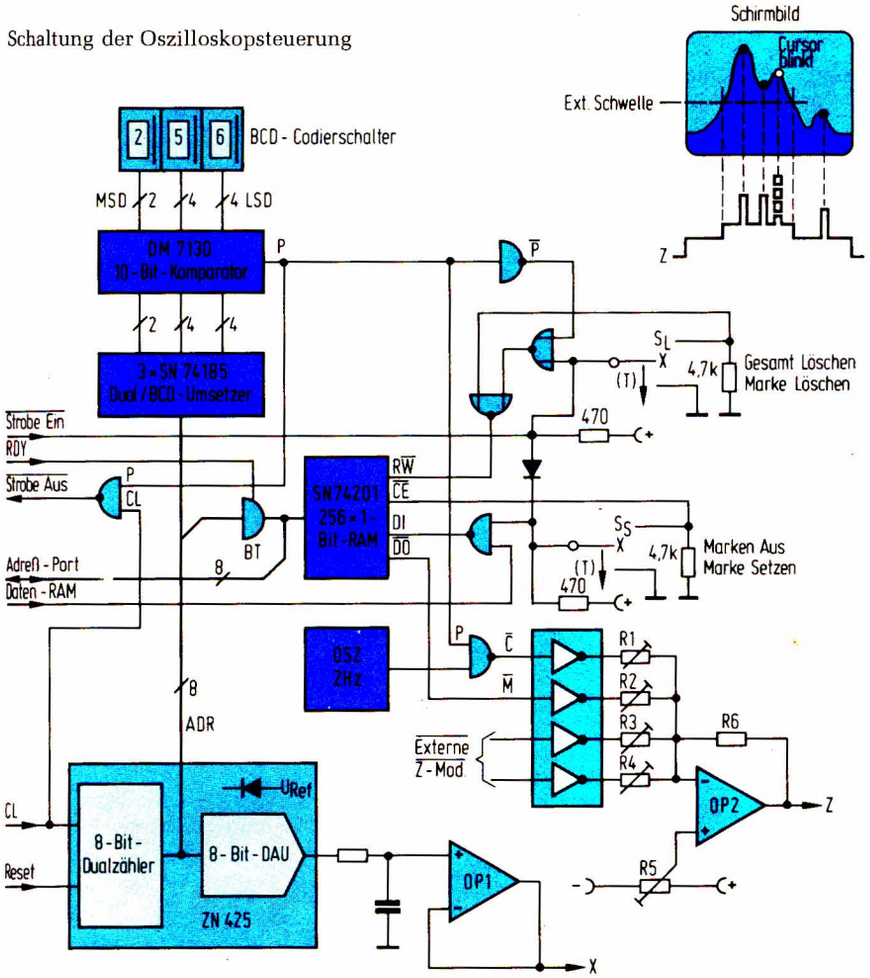
Zur mikroprozessorunterstützten Auswertung von Signalverläufen kann mit wenigen Elementen eine Oszilloskopsteuerung aufgebaut werden, die durch Helltastung des Schreibstrahles den „On-line"-Kurvenverlauf am Schirmbild markiert.

Ein bipolarer monolithischer 8-Bit-D/A-Umsetzer mit integriertem Dualzähler und interner Referenzspannungsquelle erzeugt aus dem Taktsignal CL die im Tiefpaß OP 1 geglättete Sägezahnspannung X zur Horizontalablenkung. Die Zählerausgänge ADR des D/A-Umsetzers adressieren das 256 x 1-Bit-Markenspeicher-RAM und einen Dual-/BCD-Wandler (Detailschaltungen siehe Applikationsbeispiele der Hersteller). Bei Gleichheit der BCD-gewandelten Adresse ($2^1/_2$ Stellen) mit der Einstellung eines BCD-Codierschalters gibt ein 10-Bit-Komparator das Paritätssignal P ab, mit dem die Information des Markenspeichers manuell über die Schalter S_L und S_S geändert werden kann. In Ruhestellung sind CE = L und RW = H; das RAM wird synchron mit der Strahlablenkung ständig ausgelesen. Wird einer der Schalter getastet, versetzt der nächste P-Impuls das RAM in den Schreibzustand, wodurch die getastete Information (Marke Setzen = „H", Löschen = „L") am Dateneingang DI in die adressierte RAM-Zelle geladen wird. Eine Kontaktentprellung ist nicht erforderlich. Wird S_L nach oben geschaltet, wird innerhalb einer Zählperiode der Speicher gelöscht, während S_S in dieser Stellung nur die Datenausgabe blockiert (CE = „H").

Ein angekoppelter Mikroprozessor kann die binäre Codierschalterstellung am bidirektionalen Adreßdaten-Port mit jedem P-Impuls als Ausgangs-Strobe übernehmen. Soll der Inhalt des Markenspeichers durch den Prozessor geändert werden, müssen zunächst die Tristate-Bustreiber BT in den hochohmigen Zustand geschaltet werden (RDY), um die Externadresse anlegen zu können. Anschließend wird mit einem Eingangs-Strobe die externe Information in das RAM geladen. Summierer OP 2 subtrahiert die RAM-Marken M und die blinkende „Cursor-Marke" C des Komparators von einer variablen Offsetspannung und erzeugt eine stufenförmige Helligkeitsmodulation Z. Über externe Modulationseingänge können z. B. Bereiche oberhalb einer Schwelle zusätzlich hellgesteuert werden (*Bild*), mit logischen Verknüpfungen von Adreßleitungen können feste Markenraster erzeugt werden. Die Dimensionierung der Widerstände R 1...R 6 richtet sich nach der Helligkeitscharakteristik des verwendeten Schirmes, die des Tiefpasses, der Taktfrequenz und die Flankenlage der Steuersignale nach dem jeweiligen Anwendungsfall. Eine feinere Rasterung als die hier gewählten 20 Punkte/cm bei 13 cm Schirmbreite ist nicht empfehlenswert, da dann die bei der geringen Breite der Marken erforderliche Hellsteuerung zu Schäden der Oszilloskopröhre führen kann.

Dipl.-Ing. Klaus Spiegel

Schaltung der Oszilloskopsteuerung



Selbsteinstellende Zeitbasis

Die meisten Messungen mit dem Oszilloskop erfordern die übliche Zeitbasis, die eine konstante Ablenkgeschwindigkeit in der x-Achse erzeugt. Gelegentlich aber kann es sinnvoller sein, wenn sich diese Ablenkgeschwindigkeit dem zu messenden Signal automatisch anpaßt, beispielsweise dann, wenn keine Zeiten oder Frequenzen gemessen werden – weil sie bekannt sind oder ihr Wert uninteressant ist –, sondern relative Größen wie Phasenbeziehungen, Tastverhältnisse oder der Signalverlauf innerhalb einer Periode.

Die Ablenkgeschwindigkeit der im *Bild* dargestellten als Zusatzgerät gedachten Zeitbasis hängt proportional von der Frequenz des Eingangssignals ab – ändert sie sich, regelt die Schaltung die Ablenkgeschwindigkeit nach, und das Schirmbild bleibt konstant. Der Abbildungsmaßstab läßt sich manuell einstellen, d. h., wie viele Perioden abgebildet werden sollen. Die Skalierung erfolgt dann nicht in Zeit, sondern in Perioden oder Phasenwinkel pro Teilung.

Die Zeitbasis besteht aus einem Frequenz-/Strom-Umsetzer (PLL 4046 mit OP 2, P 2 und R 6) und einem Integrator (OP 3) mit Ansteuerungen zur Sägezahnerzeugung (Trigger OP 1, Komparator OP 4, Flipflop und CMOS-Schalter S).

Aus Datenblättern und Messungen geht hervor, daß die Summe der Ströme durch R 11 und R 12 streng proportional zu der Frequenz ist, mit der der Oszillator des Bausteins 4046 schwingt, wobei der Strom durch R 11 noch intern durch die Spannung an Anschluß 9 gesteuert wird. Ist die PLL gerastet, ist dieser Gesamtstrom also auch proportional zur Eingangsfrequenz – unabhängig von der Wahl der Widerstände R 11 und R 12, mit denen sich der Arbeitsbereich einstellen läßt. Dabei bleiben die Vorteile einer PLL erhalten – Unterdrücken von Störungen und ein gewisses „Erinnerungsvermögen", falls das Eingangssignal einmal ausfallen sollte.

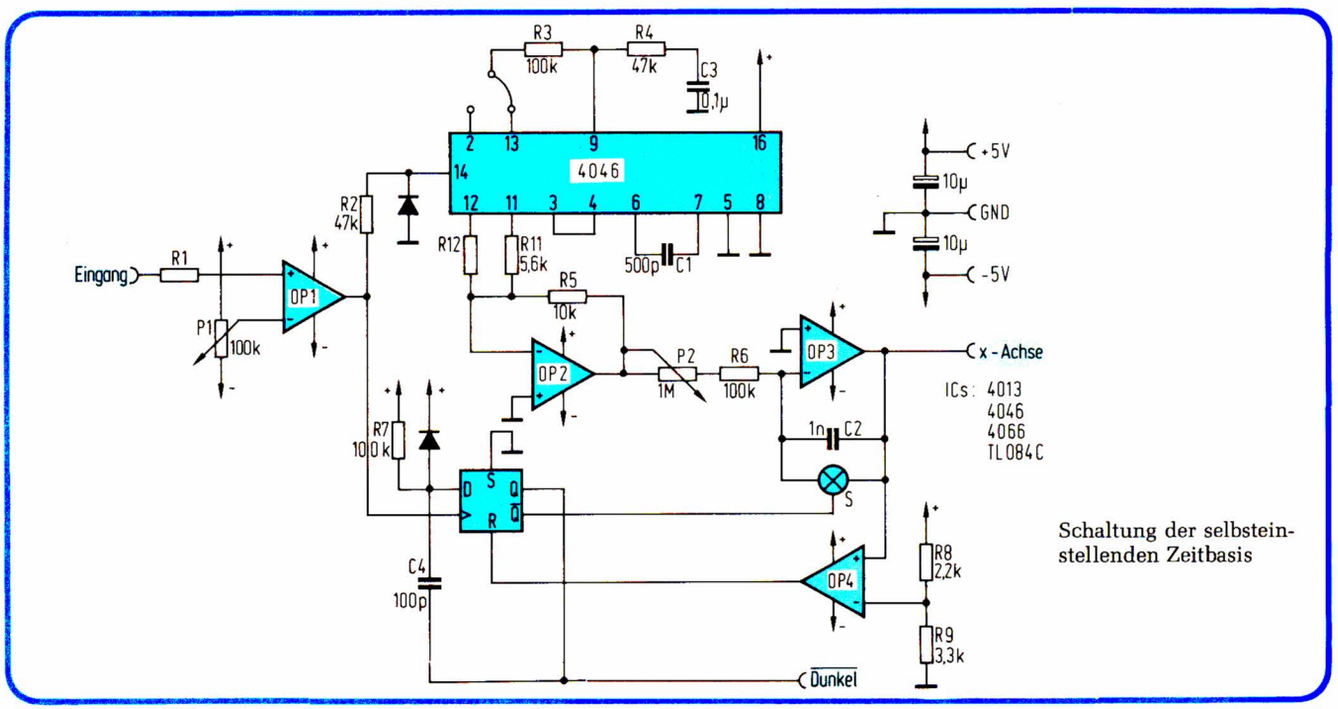
OP 2 wirkt mit P 2 und R 6 als Stromspiegel mit einstellbarer Verstärkung für die manuelle Skalierung, er führt dem Integrator OP 3 einen Strom zu, der durch P 2 und die Eingangsfrequenz bestimmt ist.

In Ruhestellung ist S geschlossen, die Ausgangsspannung des Integrators nahe Null. Setzt eine Triggerflanke das Flipflop, wird S geöffnet, die Integration beginnt, und die Ablenkspannung steigt linear mit einer zur Eingangsfrequenz proportionalen Geschwindigkeit an, bis sie einen Grenzwert erreicht, an dem der Komparator OP 4 das Flipflop zurücksetzt, S schließt und die Ablenkspannung zusammenbrechen läßt – ein Sägezahn ist komplett.

Nach einer Erholzeit, die den vollständigen Rücklauf garantieren soll (bestimmt durch R 7 und C 4), kann die nächste Triggerflanke einen neuen Sägezahn auslösen. Zudem läßt sich am Flipflop noch ein Signal abnehmen, um das Oszilloskop während der Rücklauf- und Wartephase dunkel zu tasten.

Die angegebene Dimensionierung ergibt bei Nutzung des Phasenkomparators II des Bausteins 4046 einen Arbeitsbereich von 50...1200 Hz.

Dipl.-Ing. Wolfgang Horn



Schaltung der selbsteinstellenden Zeitbasis

Meßaufbau für sehr niedrige Frequenzen

Die vorliegende Schaltung wurde zur Überwachung der Herzfrequenz von Versuchstieren entwickelt. Sie erfaßt Frequenzen im Bereich von 0,1...10 Hz und eignet sich auch zur Messung niedriger Drehzahlen oder anderer langsam verlaufender Vorgänge.

1 Meßprinzip

Die üblicherweise bei der analogen Frequenzmessung benutzte Methode der Integration von Rechteckimpulsen gleicher Länge erfordert bei niedrigen Frequenzen große Zeitkonstanten für das integrierende RC-Glied. Die Folge davon ist eine große Trägheit der Anzeige, und außerdem schwankt der Zeiger im unteren Meßbereich stark. Um dieses Problem zu umgehen, kann man statt der Frequenz die Periodendauer messen und über deren Reziprokwert die Frequenz ermitteln. Digitale Periodendauermeßgeräte arbeiten meist nach dem Schema, während einer Periode Impulse zu wählen und diesen Zählerstand in der darauffolgenden Periode in einen Zwischenspeicher zu übertragen. Der gravierende Nachteil dieses Verfahrens besteht darin, daß nur jede zweite Periode erfaßt wird, d. h. bei 0,1 Hz würde es 20 s dauern, bis der nächste Meßwert vorliegt. Dies führt bei dem eingangs erwähnten Anwendungsfall zu unzulässig großen Streubreiten, so daß eine Schaltung eingesetzt werden muß, die *jede* Periode meßtechnisch erfaßt. Die zur Zählersteuerung erforderlichen Impulse werden zu Beginn jedes Meßintervalls erzeugt. Aus der Meßfrequenz werden bei jeder positiven Flanke kurze Impulse abgeleitet, die den Beginn einer neuen Messung markieren.

2 Schaltungsbeschreibung

Die Impulsflanken triggern eine Kettenschaltung von monostabilen Kippstufen und lösen damit eine Reihe von Impulsen aus, die zur Zählersteuerung dienen. Da die Konstanz der Impulsbreite für die Meßgenauigkeit keine Rolle spielt, genügt eine ganz einfache Schaltung für die Kippstufen (*Bild 1*).

Die konstante Frequenz zur Messung der Periodendauer liefert eine als Start-/Stopp-Oszillator verwendbare Schaltung vom Typ 74124: Bei Anlegen eines High-Signals am Inhibit-Eingang erscheinen am Ausgang Impulse konstanter Frequenz, wobei neben der

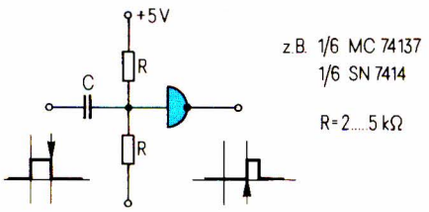


Bild 1. Monostabile Kippstufe aus einem Schmitt-Trigger-Gatter

Bild 3. ▶ Impulsdiagramm

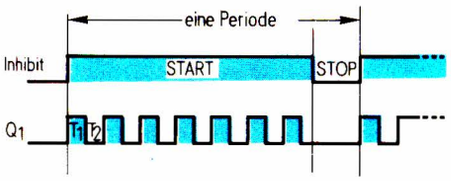
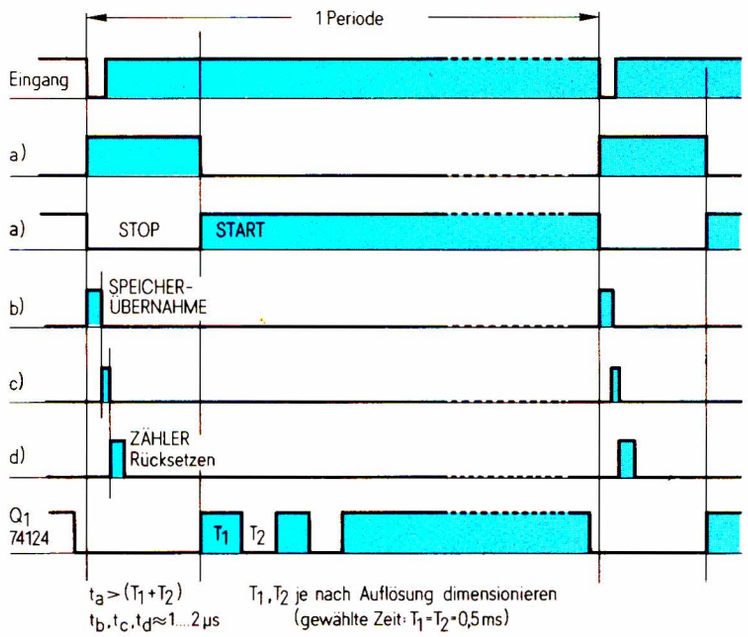


Bild 2. Während des O-Potentials am Inhibit-Eingang stoppt der Oszillator



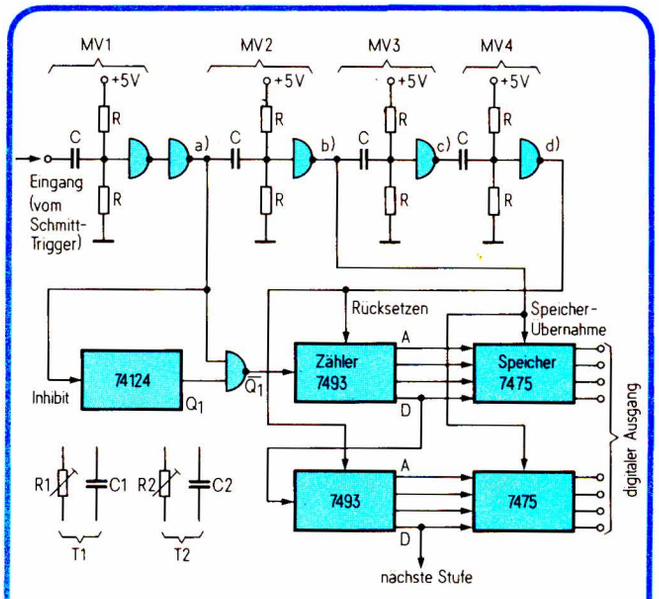


Bild 4. Schaltung des Meßaufbaus

guten Stabilität als Besonderheit dieser Schaltung zu vermerken ist, daß auch der erste und der letzte Impuls die gleiche Länge aufweisen wie die übrigen Impulse (*Bild 2*). Bei den häufig angewendeten Start-/Stopp-Oszillatoren aus Schmitt-Trigger und RC-Glied ist immer der erste nach dem Einschalten gelieferte Impuls länger als die folgenden.

Zu Beginn jeder Periode wird der Start-/Stopp-Oszillator durch ein kurzes Low-Signal angehalten und neu gestartet. Dadurch wird erreicht, daß der erste auf den Zählereingang gelangende Impuls immer den gleichen Abstand zum Periodenbeginn hat. Die von den monostabilen Kippstufen gelieferten Impulse bewirken also der Reihe nach folgendes (*Bild 3*):

a) Oszillator stoppen mit 0-Pegel, starten mit L-Pegel,

b) Übernahme des Zählerstandes in den Speicher,

c) zeitliche Trennung zwischen b) und d),

d) Nullsetzen des Zählers.

Dieser Vorgang läuft zu Beginn *jeder* Periode ab, und es ist damit möglich, auch schnelle Frequenz*änderungen* zu messen (*Bild 4*). Zur Registrierung der Meßwerte auf einem Schreiber ist nun noch eine Umsetzung der digitalen Signale in analoge notwendig. Eine einfache Schaltung dazu soll nur prinzipiell angedeutet werden; sie gestattet die Registrierung der Frequenz oder der Periodendauer, übernimmt also auch die Bildung des Kehrwertes. In der praktischen Anwendung hat sich gezeigt, daß die Genauigkeit und Konstanz der Schaltung ausreichend sind.

Bei Verwendung eines Binärzählers (z. B. 7493) ergibt sich durch Parallelschalten von Widerständen, die im Verhältnis 1-2-4-8-16-... gestuft sind, eine einfache D/A-Umsetzung (*Bild 5*). Dieses Widerstandsnetzwerk kann nun am Eingang oder im Rückkopplungszweig eines invertierenden Operationsverstärkers liegen:

Setzt man

$$R_1 = R_{ges} = \frac{R}{x},$$

so wird

$$\frac{U_a}{U_e} = \frac{R_2}{R} \cdot x.$$

In diesem Fall ist die Ausgangsspannung U_a proportional zur Periodendauer.

Setzt man aber

$$R_2 = R_{ges} = \frac{R}{x},$$

so wird

$$\frac{U_a}{U_e} = \frac{R}{x} \cdot \frac{1}{x}.$$

Die Ausgangsspannung U_a ist in diesem Fall proportional zur Frequenz.

Als Analogschalter eignen sich beispielsweise die Typen 4066 (RCA) oder 5012 (Intersil).

Rolf Englert

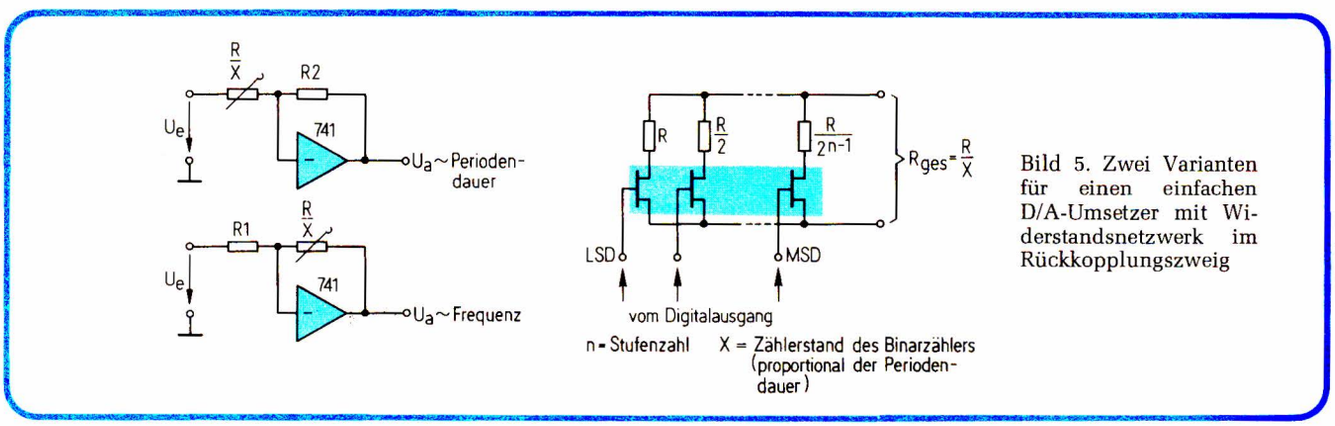


Bild 5. Zwei Varianten für einen einfachen D/A-Umsetzer mit Widerstandsnetzwerk im Rückkopplungszweig

Präzisionskomparator mit Hysterese

Wird ein Schmitt-Trigger um den Widerstand R_3 und die Referenzspannung U_{ref} erweitert (*Bild 1*), erhält man einen Komparator mit Hysterese. Trotz einfacher Schaltung ist die Berechnung recht aufwendig. Hierzu einige Dimensionierungshilfen

Die Spannung u am nichtinvertierenden Eingang des Operationsverstärkers bestimmt die Schwellenspannung am invertierenden Eingang (wenn man die Eingangs-Offset-Spannung vernachlässigt). Die stationäre Ausgangsspannung U ist entweder die hohe oder die niedrige (i. a. negative) Sättigungsspannung des Operationsverstärkers (U_{sat+} oder U_{sat-}). Daher gibt es zwei Schwellenspannungen (*Bild 2*): u_{high} (mit $U = U_{sat+}$) und u_{low} (mit $U = U_{sat-}$).

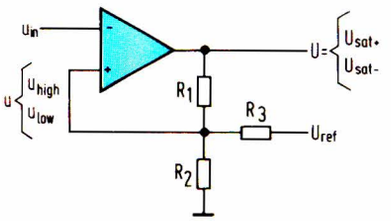


Bild 1. Komparator mit Hysterese

Um die Schaltung zu dimensionieren, muß man den Zusammenhang von u_{high} und u_{low} mit U_{ref}, U_{sat+} und U_{sat-} sowie den Widerständen R_1, R_2 und R_3 kennen. Die Spannung u am nichtinvertierenden Eingang kann man sich erzeugt denken durch Superposition zweier Spannungen: eine infolge U_{ref} und die andere infolge U_{sat} (U_{sat+} oder U_{sat-}):

$$u_{high} = U_{sat+}\,\frac{R_2 \parallel R_3}{R_1 + R_2 \parallel R_3} + U_{ref}\cdot\frac{R_1 \parallel R_2}{R_3 + R_1 \parallel R_2}$$

$$u_{low} = U_{sat-}\,\frac{R_2 \parallel R_3}{R_1 + R_2 \parallel R_3} + U_{ref}\cdot\frac{R_1 \parallel R_2}{R_3 + R_1 \parallel R_2}$$

Die virtuellen Teilerverhältnisse

$$\frac{R_2 \parallel R_3}{R_1 + R_2 \parallel R_3} = \alpha \quad \text{und} \quad \frac{R_1 \parallel R_2}{R_3 + R_1 \parallel R_2} = \beta$$

können durch die Spannungen ausgedrückt werden:

$$\alpha = \frac{u_{high} - u_{low}}{U_{sat+} - U_{sat-}} \quad \text{und} \quad \beta = \frac{-U_{sat-}\cdot u_{high} + U_{sat+}\cdot u_{low}}{(U_{sat+} - U_{sat-})\,U_{ref}}$$

Daraus ergeben sich (nach einigem Umformen) die Widerstandsverhältnisse:

$$\frac{R_2}{R_1} = \frac{\alpha}{1-\alpha-\beta} \quad \text{und} \quad \frac{R_3}{R_1} = \frac{\alpha}{\beta}$$

Wie nicht anders zu erwarten, kommt es nur auf die Verhältnisse und nicht auf die absoluten Werte der drei Widerstände an.

In bestimmten Sonderfällen werden die Ausdrücke α und β etwas einfacher:

1) $U_{sat+} = -U_{sat-} = |U_{sat}| \rightarrow \alpha = \dfrac{u_{high} - u_{low}}{2\,|U_{sat}|}$

$\rightarrow \quad \beta = \dfrac{u_{high} + u_{low}}{2\,U_{ref}}$

2) $U_{sat+} \rightarrow 0 \quad \rightarrow \quad \beta \rightarrow \dfrac{u_{high}}{U_{ref}}$

3) $U_{sat-} \rightarrow 0 \quad \rightarrow \quad \beta \rightarrow \dfrac{u_{low}}{U_{ref}}$

4) $R_3 \rightarrow \infty$ (Schm.-Tr.) $\quad \beta \rightarrow 0$

Die Sättigungsspannungen sind im allgemeinen keine wichtigen Eigenschaften von Operationsverstärkern. Der Spannungsabfall in der Ausgangsstufe ist sehr unterschiedlich von Typ zu Typ, und U_{sat+} und U_{sat-} sind nicht immer gleich im Betrag. Der Wert kann zwischen einigen mV und etwa 2 V liegen. Der Ausgangswiderstand der Verstärker (den man sich in

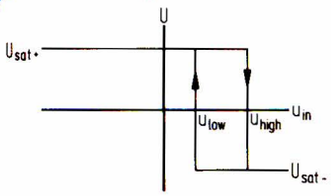


Bild 2. Schwellen- und Sättigungsspannungen

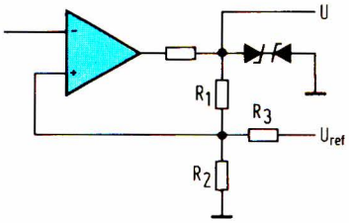
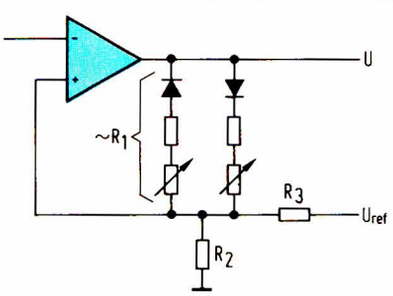


Bild 3. Z-Dioden erzeugen präzise Sättigungsspannungen

Bild 4. ▶ Mit Hilfe stromrichtungsabhängiger Strompfade lassen sich die Schwellenspannungen getrennt voneinander einstellen



Reihe mit R_1 denken muß) beträgt einige zehn Ohm. Die Temperaturstabilität der Sättigungsspannung ist nicht besonders groß.

Für Präzisions-Komparatoren müssen daher die Sättigungsspannungen U_{sat+} und U_{sat-} durch zuverlässigere Spannungen ersetzt werden, die man mit einem Widerstand und zwei Z-Dioden erzeugen kann (*Bild 3*).

Die Schwellenspannungen lassen sich getrennt voneinander einstellen, wenn man R_1 durch zwei stromrichtungsabhängige Strompfade ersetzt (*Bild 4*). Das ist allerdings nur dann möglich, wenn die beiden Sättigungsspannungen des Operationsverstärkers von unterschiedlicher Polarität sind und nicht eine der Versorgungsspannungen Null ist. Die Dimensionierungshilfen gelten dagegen auch, wenn beide Sättigungsspannungen gleiche Polarität besitzen.

Dr.-Ing. Franz Wallner

Literatur

Bruns, M. und *Blumbach, R.*: Schnelle Zweipunktschalter mit Operationsverstärkern. ELEKTRONIK 1980, H. 18, S. 69...70.

Absolutwertkomparator

Einfache Komparatoren zeigen nur an, ob eine Eingangsspannung größer oder kleiner als eine vorgegebene Referenzspannung ist. Dagegen zeigt der Absolutwertkomparator an, ob sich die Eingangsspannung in einem Spannungsintervall um den Nullpunkt herum befindet oder nicht (Fensterkomparator). Benötigt werden hierfür nur ein herkömmlicher Operationsverstärker (OP) sowie vier Widerstände und zwei Dioden (*Bild 1*).

Eine Analyse der Schaltung ergibt folgende Arbeitsweise für den allgemeinen Fall (R 1/R 2 = a; R 3/R 4 = b): Für $U_e = 0$ stellt sich am nichtinvertierenden Eingang über R 2 eine Spannung $U_+ = -U_D < 0$ ein (U_D: Diodendurchlaßspannung $\approx 0{,}6$ V). Der OP liefert als Differenzverstärker ein Ausgangssignal, das proportional zu $(U_+ - U_-)$ ist; wegen seiner hohen Leerlaufverstärkung ist in diesem Fall $U_a = -U_V$ (wenn man annimmt, daß er bis zur Betriebsspannung aussteuern kann).

Nun sei U_e positiv: Für U_- ändert sich nichts ($U_- = +U_D$). Ebenso ändert sich U_+ nicht, solange der durch den Spannungsteiler R 1, R 2 gegebene hypothetische Wert $U_+ = (U_e - aU_V)/(1 + a)$ kleiner als $-U_D$ bleibt. D 1 leitet nach wie vor und zieht U_+ auf $-U_D$. Erst wenn U_e weiter wächst und U_+ den genannten Wert erreicht hat, beginnt D 1 zu sperren. Der Komparator schaltet aber erst um, wenn die am invertierenden Eingang liegende Spannung $U_- = +U_D$ kompensiert wird ($U_+ - U_- = 0$). Als Schaltbedingung erhält man also:

$$U_a > 0 \text{ für } U_e > (1 + a)\,U_D + aU_V.$$

Analoge Betrachtungen für $U_e < 0$ führen auf die Bedingung:

$$U_a > 0 \text{ für } U_e < -(1 + b)\,U_D - bU_V.$$

Für einen symmetrischen Absolutwertkomparator (R 1 = R 3; R 2 = R 4) kann man also zusammenfassen (*Bild 2*):

$$U_a \lesseqgtr 0 \text{ für } |U_e| \lesseqgtr (1 + a)\,U_D + aU_V.$$

Dr. Wolfgang Olsowski

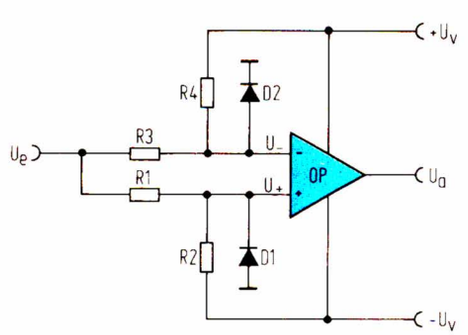


Bild 1. Absolutwertkomparator

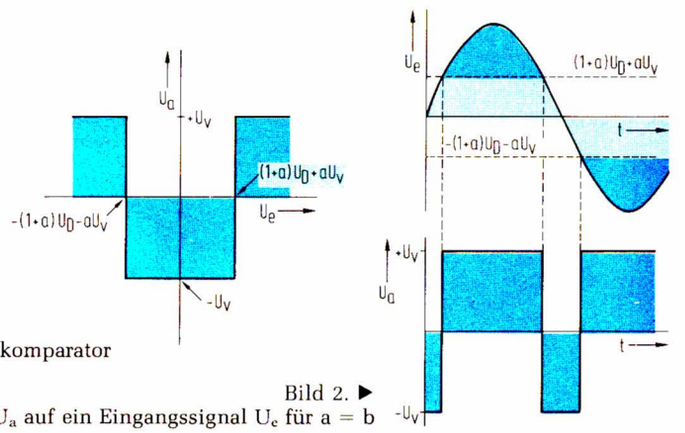


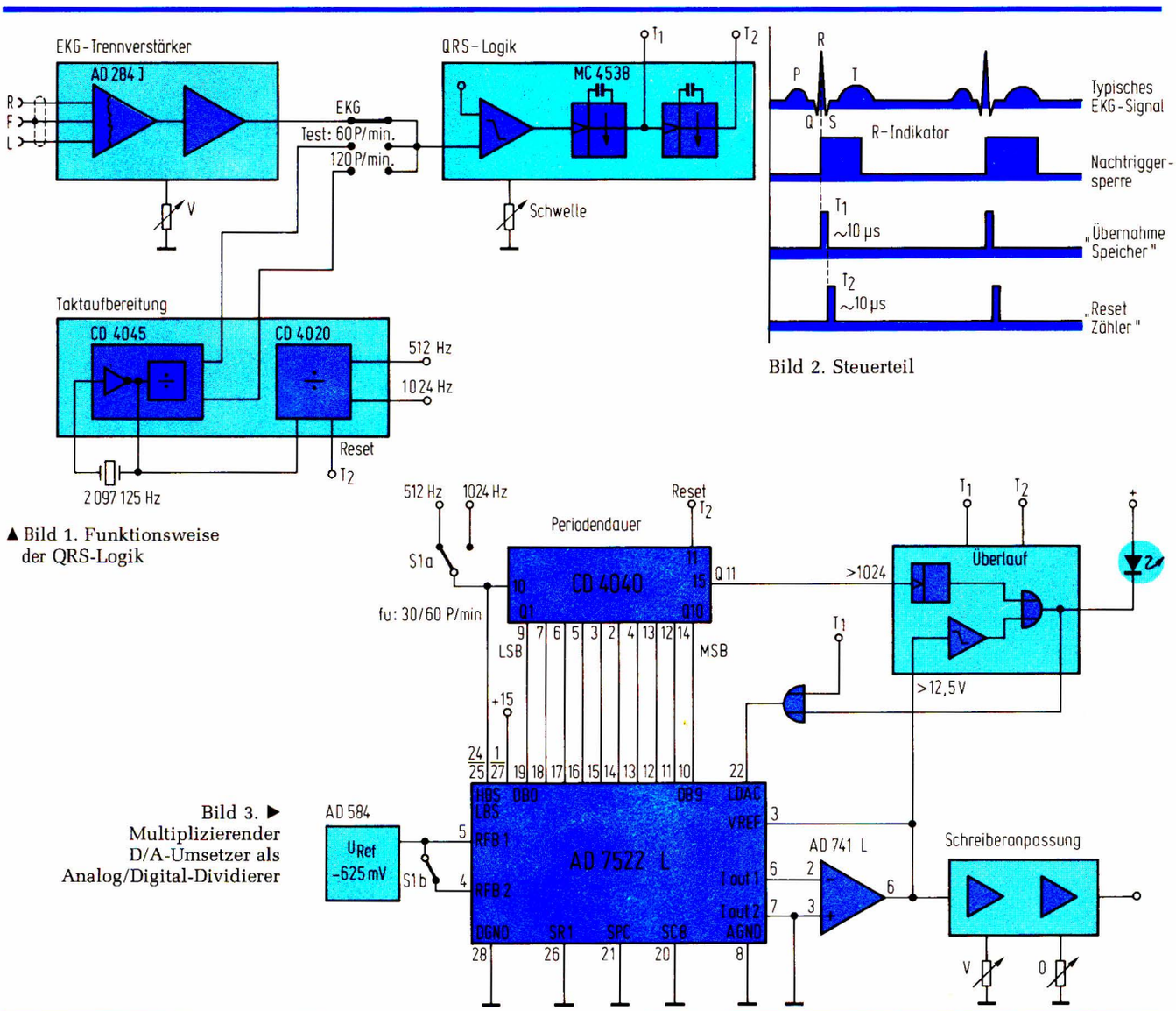
Bild 2. ▶
Antwort U_a auf ein Eingangssignal U_e für a = b

Direktes Messen niedriger Frequenzen

Periodendauermessung mit anschließender Reziprokwertbildung

Die direkte Frequenzmessung im mHz-Bereich ist durch die langen Torzeiten problematisch und bei mehr statistisch auftretenden Ereignissen unbrauchbar, weil der Mittelwert gebildet wird. Eine brauchbare Lösung stellt die Periodendauermessung mit anschließender Reziprokwertbildung dar. Die im folgenden beschriebene Schaltung ist für die Analyse von Herzrhythmusstörungen entwickelt worden. Bei dieser Untersuchung wird aus dem Abstand der R-Zacken die Herzfrequenz in Pulse/min ermittelt und auf einem Yt-Schreiber als Treppenkurve dargestellt.

Über einen EKG-Trennverstärker (*Bild 1*) wird das vom Patienten abgenommene EKG-Signal auf 0,5 V/mV verstärkt und als Zeitbezug dem Yt-Schreiber zugeleitet. Die sich anschließende QRS-Logik (*Bild 2*) erzeugt aus der R-Zacke die Steuertakte für „Übernahme Speicher" und „Reset Zähler". Die Taktaufbereitung erzeugt quarzgenau 1024 Hz bzw. 512 Hz für den Periodendauerzähler sowie 60 Pulse/min und 120 Pulse/min für Kalibrierzwecke. Der Periodendauerzähler CD4040 (*Bild 3*) summiert von R zu R die Periodendauertakte auf, die mit Beginn jeder folgenden



▲ Bild 1. Funktionsweise der QRS-Logik

Bild 2. Steuerteil

Bild 3. ▶ Multiplizierender D/A-Umsetzer als Analog/Digital-Dividierer

R-Zacke in den Zwischenspeicher übernommen werden. Anschließend wird der Zähler zurückgesetzt, die nächste Messung folgt unmittelbar.

Die am Umsetzernetzwerk anstehende Information enthält die Periodendauer. Wird der multiplizierende D/A-Umsetzer AD7522 in geeigneter Weise in die Rückführung eines Operationsverstärkers einbezogen, so arbeitet die Anordnung als Analog/Digital-Dividierer, d. h. der AD7522 dividiert eine analoge Spannung durch ein digitales Wort:

$$U_{aus} = \frac{-U_{ref\ RFB}}{\text{Zählerstand}}$$

Als günstige Referenzspannung bei der gezeigten Anwendung haben sich 625 mV erwiesen, die aus einer Referenzspannungsquelle AD584 abgeleitet werden.

Auf den Umsetzer folgt ein Anpaßverstärker für die Nullagen- und Verstärkungseinstellung am Schreiber. Eine Kontrollschaltung zeigt optisch und auf dem Registrierstreifen an, wenn der Zähler überläuft oder der Umsetzer in die Sättigung fährt. *Dieter Conrad*

Schmeißen Sie Ihre alte TTT weg... die neue ist da!

Steidle
Transistoren-Taschen-Tabelle
12., völlig neu bearbeitete Auflage. E 56/ 424 Seiten mit 450 Gehäusezeichnungen. Lwstr-gebunden
DM 34.–
ISBN 3-7723-5442-4

Die Transistoren-Taschen-Tabelle (TTT) enthält fast alle auf dem Markt befindlichen europäischen, japanischen und amerikanischen Transistoren. Das bedeutet: Rund 23 000 Transistoren sind hier mit ihren elektrischen und mechanischen Daten aufgeführt. Aus über 450 Gehäusezeichnungen, auf 88 Abbildungsseiten, gehen die mechanischen Abmessungen und die Pin-Belegung deutlich hervor.

Franzis-Bücher erhalten Sie durch jede Buchhandlung sowie in den einschlägigen Fachhandlungen. Bestellungen auch an den Verlag.

Franzis' der große Fachverlag für angewandte Elektronik

Mikroprozessor Hard- u. Software

- Planung
- Entwicklung
- Konstruktion
- Fertigung
- Prüfung

µP · TTL · C-MOS
Prototypen
Seriengeräte
Baugruppen
Geräte
Systeme
Anlagen

- Standard-Mikroprozessor-System
  mit über 60 Systembaugruppen 8080/8085 · In Kürze auch Z80/8088, Z8000/8086 lieferbar.
- Sonder-Entwicklungen
  speziell auf Ihre Probleme zugeschnitten.
- µP-Erfahrung seit 1974.

Bitte fordern Sie Informationsmaterial an.

Richey Elektronik GmbH
Mikroprozessor-Systeme
Wertstr. 9 · Postf. 1125 · Tel. (0 70 24) 88 99
7317 Wendlingen · Telex 7 267 753 rich d

Gaußmeterzusatz für DVM

Der hier beschriebene Gaußmeterzusatz für Digitalvoltmeter besteht aus einer Konstantstromquelle und einer Hall-Sonde. Zusammen mit einem 3½stelligen DVM lassen sich Messungen des magnetischen Flusses bis zu 20 kG oder mehr mit einer Auflösung von 10 G durchführen.

Die Stromquelle ist mit einem Spannungsregler µA 723 PC aufgebaut und liefert 50...210 mA für die Hall-Sonde (z. B. BH-705 von Bell oder FA22e von Siemens). Der Wert wird konstant gehalten, damit die Meßergebnisse nicht von der Veränderung des inneren Widerstandes beeinflußt werden, der von der einwirkenden Feldstärke abhängt. Die Linearität des Verhältnisses von Ausgangsspannung zum Fluß ist abhängig vom Belastungswiderstand R 1, dessen Wert unter Berücksichtigung des verwendeten Sondentyps gewählt werden muß (nähere Angaben findet man in den jeweiligen Datenblättern). Die Werte liegen typisch bei 3...10 Ω. Auch mit dem optimalen Lastwiderstand zeigen die meisten Sonden Nichtlinearitäten ab 10 kG. Ab 15 kG macht sich der Fehler deutlich bemerkbar. Spezielle Sonden für erhöhte Flußwerte sind für solche Fälle verfügbar, allerdings wesentlich teurer. Die Genauigkeit ist in den meisten Fällen ausreichend, wenn man nicht gerade sehr geringe Pegel messen möchte.

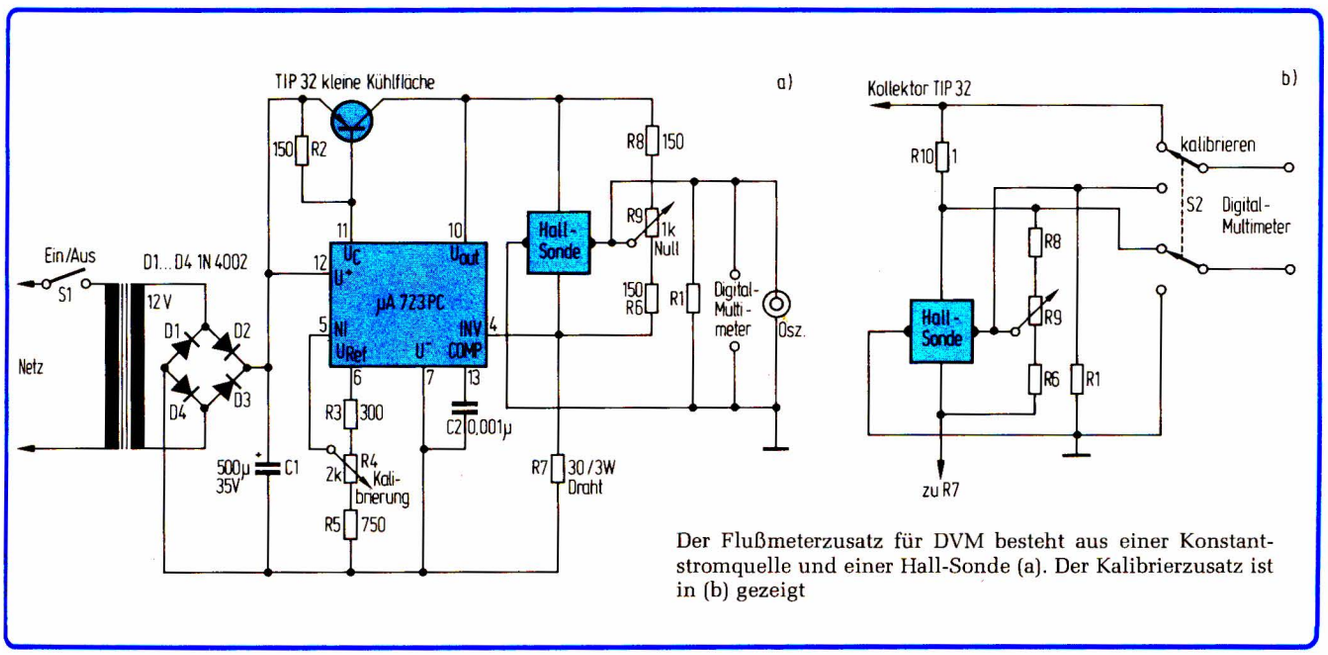
Um das Gerät abzugleichen, muß das DVM auf den Gleichspannungsbereich von 200 mV geschaltet werden. Ohne die Einwirkung eines Magnetfeldes wird R 9 so eingestellt, daß das DVM Null anzeigt. Danach werden die Sonde in das Feld eines Referenzmagneten gebracht und R 4 auf den vorgegebenen Flußwert eingestellt. Mit dieser Einstellung liefert der Zusatz genau 10 mV/kG.

In Verbindung mit einem Oszilloskop kann man Gleich- und Wechselfelder darstellen, eine neue Kalibrierung ist nicht nötig. Bei einem Ablenkfaktor von 10 mV/cm ist der Abbildungsmaßstab vertikal 1 kG/cm.

Zusätzlich läßt sich noch eine Kalibrierungseinrichtung vorsehen, die es gestattet, daß nach dem erstmaligen Abgleich eine neue Kalibrierung entfällt. Durch einen zweipoligen Umschalter wird der Spannungsabfall, der an R 10 auftritt, auf das Meßgerät gegeben, welches dann den eingestellten Konstantstrom anzeigt. Besonders nützlich ist diese Einrichtung, wenn man mehrere unterschiedliche Sonden verwendet.

Auf den Sonden wird der Stromwert für die richtige Kalibrierung jeweils verzeichnet und beim Anschluß passend eingestellt. *Henno Normet*

Autorisierte Übersetzung und genehmigter Nachdruck aus Electronics Bd. 53, H. 1, Copyright McGraw-Hill, Inc. 1980. Aus dem Englischen übertragen von *P. von Bechen*.



Der Flußmeterzusatz für DVM besteht aus einer Konstantstromquelle und einer Hall-Sonde (a). Der Kalibrierzusatz ist in (b) gezeigt

Preiswerter A/D-Umsetzer arbeitet genau

Das angeführte Schaltungsprinzip kann auf teure Präzisionsbauelemente und auf die Verwendung von Quarzoszillatoren verzichten. Es vereint die hohe Geschwindigkeit eines Sägezahnumsetzers mit der Genauigkeit des Dual-Slope-Verfahrens.

Der beschriebene A/D-Umsetzer stellt eine Weiterentwicklung des Sägezahnumsetzers dar. Dessen Prinzip sei als Einführung und Verständnisgrundlage vorangestellt (*Bild 1*): Die zu wandelnde Eingangsspannung U_x wird zusammen mit einer sägezahnförmigen Bezugsspannung ② den Eingängen eines Komparators K zugeführt. Der am Ausgang des Komparators resultierende Torimpuls mit der Dauer t_x liefert ein proportionales Maß für die Größe der Eingangsspannung. Eine nachfolgende Teilerkette zählt während t_x die von einem Taktgeber kommenden Impulse. Das nach Ablauf des Torimpulses an den Ausgängen der Zählerkette stehende Digitalwort entspricht in seiner Wertigkeit der Größe der Eingangsspannung U_x. Die mathematische Aussage des Zählerstandes Z läßt die Nachteile dieses sehr einfachen Verfahrens erkennen. Die Größen U_{REF}, R_M, C_M und f_{REF} müssen ihre Absolutwerte mit großer Genauigkeit einhalten, dies betrifft sowohl die Temperatur- als auch die Langzeitstabilität.

Prinzip

Im folgenden soll gezeigt werden, wie durch Weiterbildung des Sägezahnprinzips die erwähnten Fehlerquellen eliminiert werden können. Aus *Bild 2* und *Bild 3* ist zu erkennen, daß sich nun Sägezahngenerator und Taktgeber, der als VCO ausgebildet ist, in einem Regelkreis (PLL) befinden. Die Taktfrequenz des spannungsgesteuerten Oszillators wird mit einem Teiler in den Sägezahn-Entladeimpuls ① umgeformt. Mit diesem wird der Integrator während t_E auf die Referenzspannung U_{REF} entladen. Die Aufladung des Kondensators erfolgt während t_A. Am Ausgang des Integrators entsteht dadurch eine sich stetig wiederholende Sägezahnspannung ②. Die Integration dieser Spannung ergibt die Regelspannung U_R, die dem VCO zugeführt wird. Durch diese Maßnahme ist die Taktfrequenz fest an den Sägezahn „angebunden". Eine Änderung einer der Größen R_M oder C_M äußert sich in einer Amplitudendifferenz des Sägezahnes zu seiner Sollamplitude, was eine Änderung der Regelspannung bewirkt, die den VCO „nachzieht". Dadurch

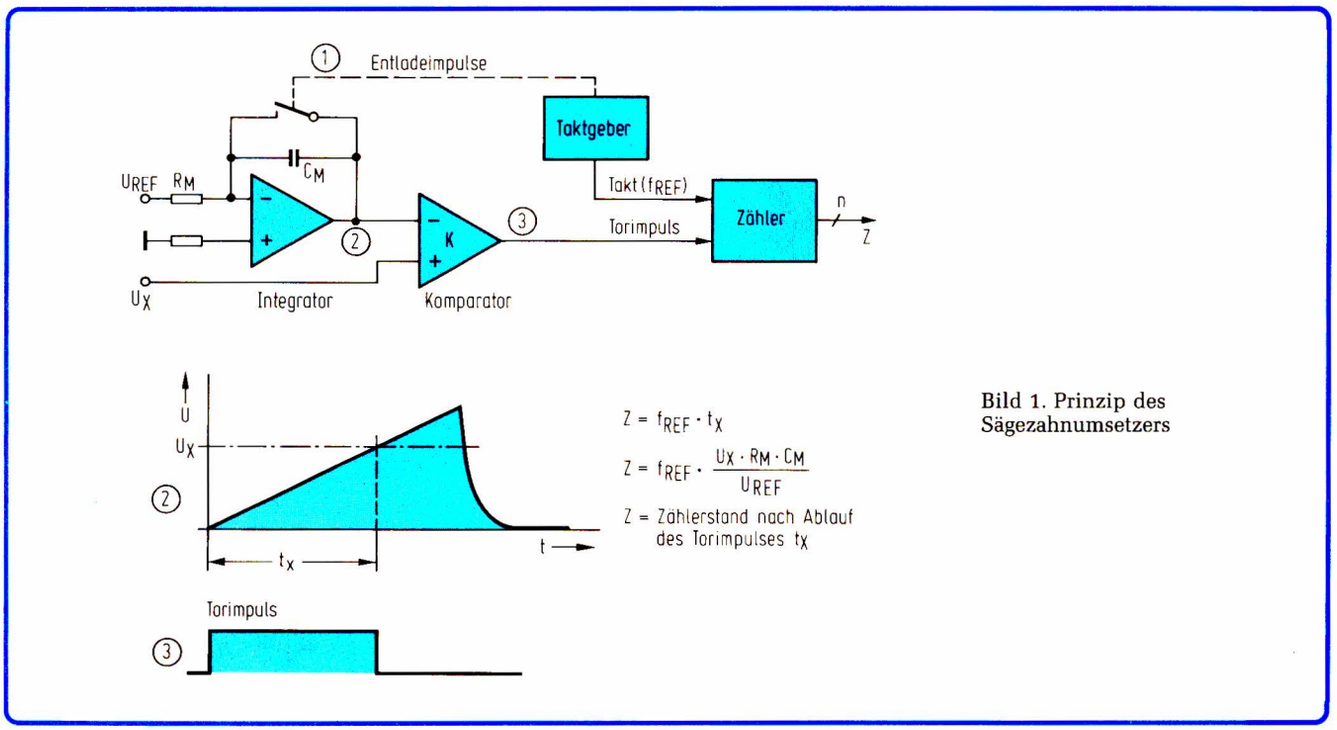


Bild 1. Prinzip des Sägezahnumsetzers

bleibt eine feste Zuordnung von Sägezahnamplitude zu Taktgeberfrequenz gewahrt. Umgekehrt verursacht das Weglaufen des Oszillators zwar ebenfalls eine Regelspannungsänderung, die den VCO jedoch auf seine ursprüngliche Sollfrequenz zwingt, bei angenommener Konstanz der Größen R_M und C_M. Durch die starre Verkopplung der beiden entscheidenden Größen „Sägezahnspannung pro Zeiteinheit" und „Oszillatorfrequenz" miteinander bleibt als Fehlerquelle lediglich die Referenzspannung U_{REF} bestehen.

Die Umformung der zu wandelnden Eingangsspannung U_x in einen entsprechenden Meßimpuls der Dauer t_x erfolgt über einen ersten Komparator A und einen zweiten Komparator B. Ihnen werden die Sägezahnspannung ② sowie eine Nullreferenzspannung (Komp. A) und die Eingangsspannung U_x (Komp. B) zugeführt. Die Ausgangstorimpulse A und B werden mit Hilfe eines EXOR-Gatters verknüpft, wodurch der Meßimpuls C mit der Dauer t_x entsteht. Dieser liegt bei $U_x < 0$ hinter, bei $U_x > 0$ dagegen vor der Referenzflanke des Torimpulses A. Dadurch kann z. B. mit einem D-Flipflop ein Vorzeichen-Bit abgeleitet werden. Diese Zusammenhänge sind aus der Literatur bekannt und werden nur der Vollständigkeit halber erwähnt.

Praktische Ausführung

Die Ruhefrequenz des VCO (T4) wird mit den Bauelementen C_{ext} (150p) und R_A (10k) auf etwa 1 MHz dimensioniert (*Bild 4*). Die Teilung dieser Taktfrequenz auf die Sägezahnfolgefrequenz erfolgt mit einem 12-Bit-Zähler (T5). Er wird über den Eingang $\overline{CP}$ getaktet und kann über den Rückstelleingang R bei Erreichen eines bestimmten Ausgangszustandes gestoppt werden. Die Programmierung erfolgt dabei über eine externe Diodenmatrix. Im vorliegenden Falle wird der Zählvorgang gestoppt, wenn beide Ausgänge Q_6 und Q_{10} H-Potential annehmen. Diese Rücksetzbedingung bestimmt auch die Impulsform am Ausgang Q_{10} ①. Dieser positive Impuls schaltet den FET T1 (SD 211) in den niederohmigen Zustand, wodurch der Aufladevorgang des Integrators T2 beendet wird. Der Operationsverstärker verhält sich in diesem Zustand als Folgeverstärker mit der Verstärkung 1, da der Ausgang mit dem invertierenden Eingang verbunden ist. Am Ausgang stellt sich somit das am nichtinvertierenden Eingang stehende Potential U_{REF} ein. Wird der FET nach Ablauf des Entladeimpulses hochohmig, so fungiert der Operationsverstärker als Integrator. An dessen Ausgang bildet sich somit eine durchlaufende Sägezahnfunktion aus, die der an Punkt 2 entspricht. Die Amplitude des Sägezahns bestimmt nach Integration mit Hilfe des Integrators T5 die Größe der Regelspannung, die ihrerseits die Frequenz des nachsteuerbaren Oszillators (T6) bestimmt.

Ergebnisse

Die Größen, welche die Wertigkeit des Zählerstandes beeinflussen (R_M, C_M, U_{REF} und f_{REF}; siehe Formel in Bild 1), unterliegen Temperatur- und Alterungseinflüssen, die das Meßergebnis verfälschen können. In der Praxis verwendet man, zur Vermeidung von Meß-

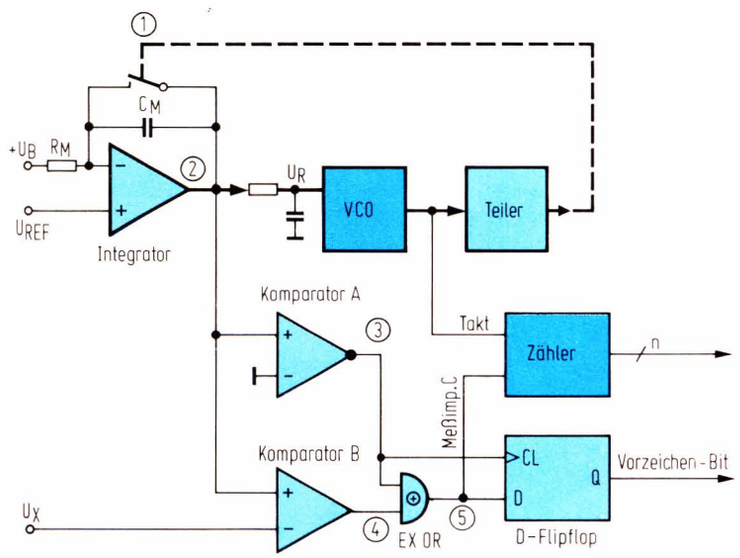


Bild 2. A/D-Umsetzer mit nachgeführtem Taktgenerator

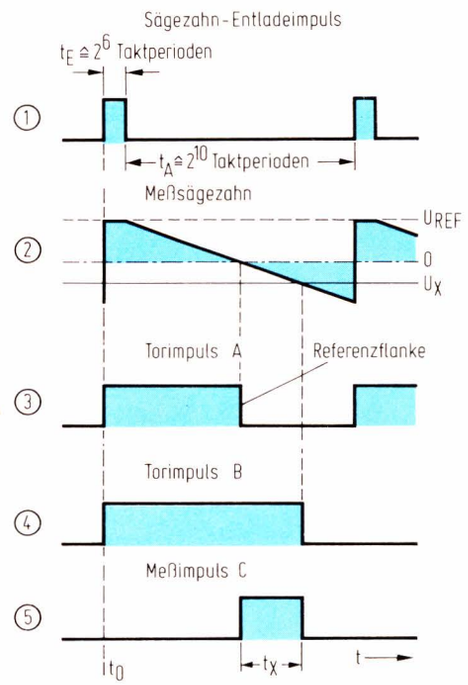


Bild 3. ▶
Signalverlauf an den Meßpunkten der Bilder 2 und 4

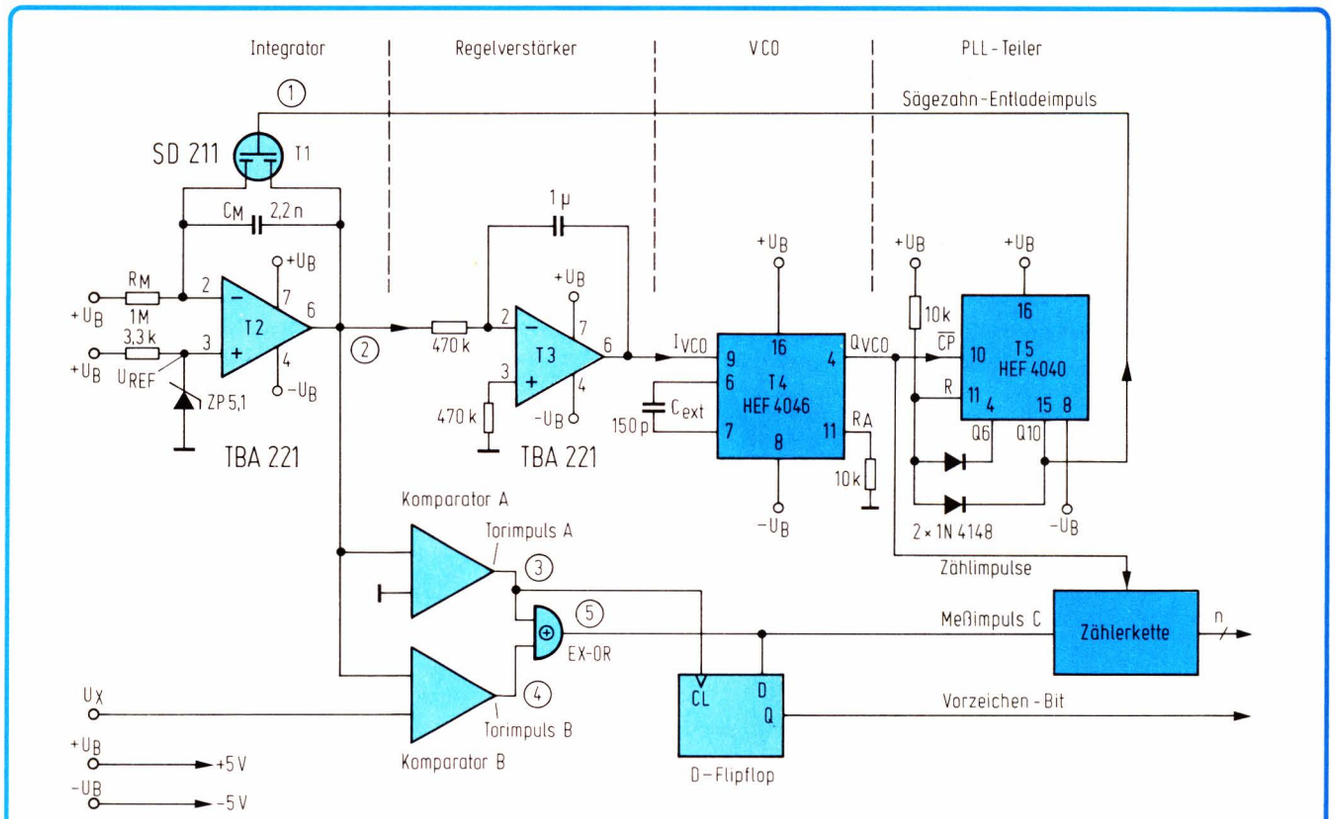


Bild 4. Praktische Ausführung des verbesserten A/D-Umsetzers

fehlern, Quarzoszillatoren sowie Präzisionsbauelemente. Eine preislich wesentlich interessantere Lösung ergibt die vorgestellte Schaltung.

Eine Werteänderung der Größen R_M und/oder C_M führt durch das Schaltungsprinzip zu einer umgekehrt proportionalen Frequenzänderung f_{REF} des Referenzoszillators, wodurch der ergebnisverfälschende Einfluß auf den Zählerstand eliminiert wird. Zum zweiten verhindert die Anordnung des nachsteuerbaren Oszillators in einer PLL-Schleife, daß seine Frequenz „wegläuft".

Zur meßtechnischen Erfassung des Einflusses der Größe C_M – für R_M gilt das entsprechende – wurde die Referenzfrequenz f_{REF} in Abhängigkeit von C_M gemessen. Eine Vergrößerung von C_M auf C_{M1} bewirkt primär einen langsameren Sägezahnanstieg und damit eine vom Sollwert abweichende Regelspannung. Diese regelt den Referenzoszillator so lange nach, bis der Regelkreis eingeschwungen ist. Beim erreichten stabilen Zustand (*Bild* 5) stellt sich zu einem langsameren Sägezahnanstieg eine niedrigere Referenzfrequenz ein. Eine Wertvergrößerung von C_M auf $C_{M1} = 1{,}3 \cdot C_M$ muß, zur Vermeidung von Meßfehlern, eine Abnahme der Referenzfrequenz f_{REF} auf f_{REF1} von 30 % bewirken. Der Restfehler wurde zu kleiner 0,04 % gemessen. Bei der Ermittlung des Restfehlers wurde die gemessene Referenzfrequenz f_{REF1} zu der durch die Ka-

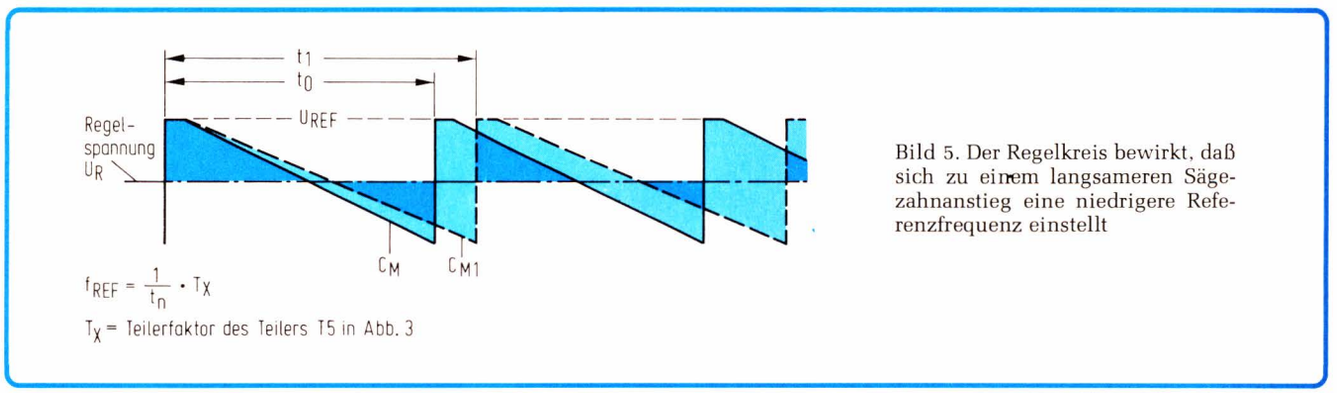


Bild 5. Der Regelkreis bewirkt, daß sich zu einem langsameren Sägezahnanstieg eine niedrigere Referenzfrequenz einstellt

pazitätsvergrößerung von C_M auf C_{M1} zu erwartenden in Relation gesetzt.

Ein weiterer Einfluß, der bei der A/D-Umsetzung das Ergebnis verfälschen kann, ist die Instabilität des Referenzoszillators bezüglich Temperatur- und Alterungseinflüssen. Wie bereits ausgeführt, ist zu erwarten, daß die Referenzfrequenz durch das schaltungstechnische Prinzip (der Anordnung des Referenzoszillators in einem Regelkreis) selbst bei ungünstigen Betriebsbedingungen konstant bleibt. Zur meßtechnischen Erfassung wurde die Referenzfrequenz bei Normalbeschaltung (C_{ext} = 150 p, Bild 4) gemessen (968,7 kHz). Eine Wertvergrößerung auf C_{ext} = 190 p sollte zusammenfassend die negativen Einflüsse simulieren. Dies entspricht einer Frequenzänderung von normalerweise größer 20 %. Durch den Regelmechanismus würde dieser Fehler auf 0,03 % reduziert (968,4 kHz). Diese Messungen bestätigen, daß Fehlereinflüsse, die von den verwendeten Bauelementen oder vom Referenzoszillator herrühren, eliminiert werden.

Heinz Heß

Dual-Slope-A/D-Umsetzer mit digitalem Integrator

Beim Selbstbau eines ADU erweist sich die Realisierung des Integrators und der Nulldurchgangserkennung in Digitaltechnik als recht vorteilhaft. Die vorliegende Lösung erfordert weder eine Temperaturkompensation noch teure Spezialbauteile.

Das Dual-Slope-Verfahren wird wegen der hohen Serien-Störspannungsunterdrückung, die integrierende Analog-/Digital-Umsetzer (ADU) aufweisen, gern zur Analog-/Digital-Umsetzung verwendet, sofern es nicht auf hohe Geschwindigkeit ankommt. Aus verschiedenen Gründen ist es jedoch oft nicht möglich, einen der vielen angebotenen integrierten Dual-Slope-ADUs zu verwenden. Um beim Selbstbau die Schwierigkeiten im Analogteil (Einschwingverhalten, Offset-Größen, Leckraten von Kondensatoren) zu umgehen, ist es zweckmäßig, die Integration und die Erkennung des Nulldurchgangs mit einer digitalen Schaltung auszuführen. Das Problem reduziert sich dann auf die Entwicklung eines Spannungs/Frequenz-Umsetzers (VFC), der folgende Anforderungen erfüllen muß:

- Die Linearität soll ausreichend gut sein; sie entspricht der Linearität des fertigen Umsetzers.
- Die maximale Ausgangsfrequenz muß hoch genug sein, um die gewünschte Auflösung mit der geforderten Integrationszeit (bzw. Umsetzrate) vereinbaren zu können.
- Auf eine schnelle Änderung der Eingangsspannung muß der VFC mit einer ebenso schnellen Änderung der Ausgangsfrequenz antworten können.

Alle diese Forderungen können ohne größere Schwierigkeiten und mit vertretbarem Materialaufwand durch preiswerte, leicht erhältliche Bauteile realisiert werden (*Bild*). Besonders zu erwähnen ist, daß die Proportionalität zwischen Eingangsspannung und Ausgangsfrequenz nur innerhalb einer Umsetzperiode konstant zu sein braucht. Deshalb sind weder Schaltungskniffe zur Temperaturkompensation noch teure Spezialkondensatoren erforderlich.

Die Umsetzung wird mit einem Impuls am gleichnamigen Eingang eingeleitet. Alle Zähler werden auf Null gesetzt, der Eingangsumschalter legt die Meßspannung an den VFC; gleichzeitig beginnt der Taktgenerator zu schwingen. Beide Zähler zählen aufwärts, bis der untere Zähler 2^{10} = 1024 Impulse vom Taktgenerator erhalten hat; das zweithöchste Bit liegt nun auf log. 1. Die Zeitdauer, die dazu benötigt wird, ist die Integrationszeit T_{int}. Der obere Zähler, der den Integrator darstellt, hat bis zu diesem Zeitpunkt $n = T_{int} \cdot \overline{U}_e \cdot k$ Impulse registriert. $\overline{U}_e$ ist der Mittelwert der Eingangsspannung während der Integrationszeit, k ist der Proportionalitätsfaktor zwischen der Ausgangsfrequenz und der Eingangsspannung des VFC. Durch das zweithöchste Bit des unteren Zählers wird nun der Eingangsumschalter auf die Referenzspannung gelegt; gleichzeitig wird der Integrator auf „Abwärtszählen" geschaltet. Der untere Zähler zählt weiterhin aufwärts. Am Übertragsausgang des Integratorzählers kann man erkennen, wann sein Inhalt null ist. In diesem Moment wird der Taktgenerator gestoppt, und der Integratorzähler versetzt sich über den „Preset"-Eingang in einen Selbsthaltezustand. Da dieses Abwärtszählen des Integrators mit der Frequenz $f_{ab} = U_{ref} \cdot k$ erfolgt, dauert dieser Vorgang

$$T_{ab} = \frac{n}{U_{ref} \cdot k} = T_{int} \cdot \frac{U_e}{U_{ref}} \cdot$$

Während der Zeit T_{int} zählt der untere Zähler bis 1024; der Zählerstand in den unteren 10 Bit ist daher am Ende von T_{ab} $1024 \cdot U_e/U_{ref}$. Dieser Zählerstand

entspricht dem gesuchten Digitalwert; er steht zur Verfügung, bis der A/D-Umsetzer durch ein neues Umsetzsignal aus dem Selbsthaltezustand genommen wird.

Zum Erkennen eines Überlaufes wurde die Schaltung mit einer Logik ausgestattet, die ein Signal abgibt, wenn der Integratorzähler beim Aufwärtszählen seine Kapazität überschreitet oder der untere Zähler in der zweiten Phase mehr als 1023 Taktimpulse registriert. Ein weiterer Ausgang zeigt das Ende der Umsetzung an.

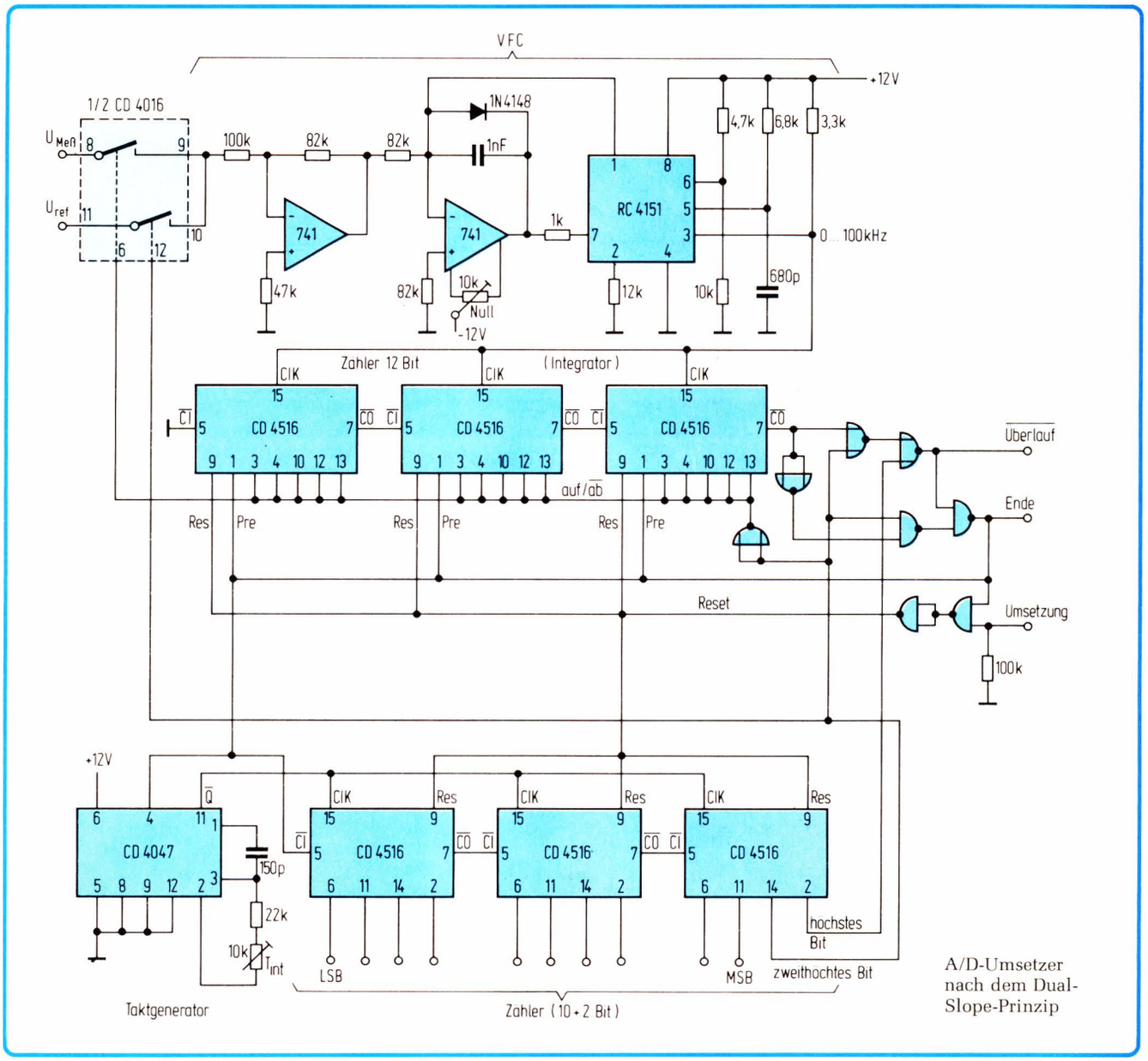
Mit dem Taktgenerator kann die Integrationszeit des Umsetzers gewählt werden. Bei einer Frequenz von 25,6 kHz beträgt $T_{int} = \frac{1024}{25{,}6\ \text{kHz}} = 40$ ms. Eventuelle Schwankungen wirken sich nicht direkt auf die Meßgenauigkeit aus, da die Integrationszeit nicht in die Messung eingeht.

Um den Digitalisierungsfehler klein zu halten, soll der Integratorzähler eine um mindestens 2 Bit größere Auflösung als der untere Zähler haben. Aus demselben Grund muß auch die höchste Ausgangsfrequenz des VFC mindestens doppelt so groß sein wie die Frequenz des Taktgenerators.

Das Mustergerät hat folgende Werte:

Auflösung 10 Bit, Umsetzzeit ≦ 40 ms, Integrationszeit 20 ms, Linearitätsfehler 1 Bit, Nullpunktdrift (0...50 °C) 1 Bit, Meßfehler nur von der Referenzspannung abhängig, Taktfrequenz 51,2 kHz, max. VFC-Frequenz etwa 100 kHz (alle Werte gemessen mit U_{ref} = 10 000 V).

Ing. (grad.) Eduard Rettermeier



A/D-Umsetzer nach dem Dual-Slope-Prinzip

Lock-In-Verstärker mit multiplizierendem D/A-Umsetzer

Ein Lock-In-Verstärker (Synchronfilter) erlaubt die Messung einer stark verrauschten oder von Störspannungen überlagerten Wechselspannung, wenn eine (ungestörte) Referenzspannung mit der Frequenz des zu messenden Signals zur Verfügung steht.

Bild 1 zeigt das Prinzip: Die Eingangsspannung wird mit dem phasenkorrigierten Referenzsignal multiplikativ gemischt. Aus dem im Eingangssignal U_e enthaltenen Meßsignal entsteht bei der Mischung eine pulsierende Gleichspannung, die das Tiefpaßfilter als geglättete Gleichspannung passiert und verstärkt zur Anzeige gebracht wird. Die Störanteile der Eingangsspannung jedoch ergeben bei der Mischung Wechselspannungen, die das Tiefpaßfilter wegen seiner sehr niedrigen Grenzfrequenz nicht passieren können.

Ein Analogmultiplizierer kann als phasenempfindlicher Detektor nicht zum Einsatz kommen, weil sein Dynamikbereich zu klein ist. Die vielfach als Detektor verwendeten Analogschalter haben den Nachteil, daß sie das Signal nicht mit einer Sinus-Spannung, sondern mit einer Rechteckspannung mischen, wodurch sämtliche ungeradzahligen Vielfachen der Referenzfrequenz als Nebenempfindlichkeitsstellen störend in Erscheinung treten. Dieser Nachteil tritt nicht auf, wenn man als phasenempfindlichen Detektor einen multiplizierenden Digital/Analog-Umsetzer (DAU) verwendet und das Signal mit einer digital erzeugten Sinus-Spannung der Frequenz f_{ref} multipliziert.

Bild 2 zeigt die Schaltung des ausgeführten Lock-In-Verstärkers. Die Referenzfrequenz gelangt über eine Schmitt-Trigger-Eingangsstufe auf eine PLL-Schaltung, in deren Schleife der als 12-Bit-Synchronzähler ausgeführte Adreßzähler liegt. Zu den acht höherwertigen Bits des Adreßzählers wird mit Hilfe der Volladdierer-Bausteine SN74LS83A eine einstellbare 8-Bit-Dualzahl addiert. Dadurch ist die Phasenverschiebung zwischen der Referenzspannung und der im folgenden erzeugten multiplizierenden Sinus-Spannung in Stufen von 1,41° einstellbar. Die Einstellung erfolgt so, daß die vom Gerät angezeigte Spannung maximal wird. Die Erweiterung der in drei 1024 x 4-Bit-PROMs gespeicherten 90-Grad-Sinus-Tabelle auf 360° erfolgt nach dem in [1] angegebenen Verfahren. Über einen Zwischenspeicher gelangen die digitalen Sinus-Werte auf den CMOS-DAU AD 7541 (Analog Devices), der im „*Bipolar Offset Binary Code*" arbeitet. Am V_{ref}-Eingang des DAU liegt das 100fach verstärkte und über einen Tiefpaß geführte Eingangssignal des Gerätes. Die Offset-Spannungen von A3 und A4 müssen abgeglichen werden, denn nur, wenn die Spannung an den beiden Stromausgängen null ist, ist die Ausgangsspannung des DAU auch für sehr kleine Spannungen U_{ref} exakt proportional zu U_{ref}. Über einen Butterworth-Tiefpaß 4. Ordnung mit 1 Hz Grenzfrequenz und 141facher Verstärkung gelangt die Gleichspannungskomponente der Ausgangsspannung des DAU zur Anzeige. Der Nullpunkt des Anzeigeinstrumentes wird mit Hilfe des Offset-Abgleichs von A5 eingestellt. Mit der angegebenen Dimensionierung ergibt sich Vollausschlag für ein Eingangssignal von $U_{e\,eff}$ = 1 mV. Der Störspannungspegel darf um 40 dB über dem Signalpegel liegen, ohne daß er die Anzeige beeinflußt. Der Frequenzbereich reicht von etwa 10...250 Hz. Beim Aufbau der Schaltung muß man auf eine gute Masseführung achten, um Verkopplungen zu vermeiden. Analog- und Digitalteil der Schaltung sollten zur Vermeidung von Einstreuungen voneinander abgeschirmt sein.

Ein Anwendungsbeispiel für den Lock-In-Verstärker ist die Messung der optoelektronischen Eigenschaften von Halbleitermaterialien. Das die Probe bestrahlende Licht wird von einer rotierenden Lochblende moduliert. Die Chopper-Frequenz dient als Referenzfrequenz. Auf diese Weise wird der Versuchsaufbau unempfindlich gegenüber Streulicht und Störspannungen, und auch ein sonst im Rauschen untergehender Effekt kann gemessen werden. Ein anderes Beispiel ist eine Wechselstrommeßbrücke. Die Betriebsspannung der Brücke wird dem Referenzfrequenzeingang zugeführt, während die Brückenspannung (über einen Differenzverstärker) an den Signaleingang des Lock-In-Verstärkers gelegt wird.

Thomas Wittchen

Literatur

[1] *Trenkler, G., Vollmert, R.:* Digitaler Doppel-Wechselspannungsgenerator. ELEKTRONIK 1978, H. 11, S. 67...70.

(Bild 2 siehe Seite 46)

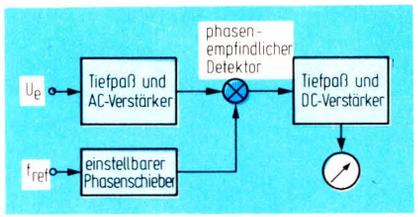


Bild 1. Prinzip des Lock-In-Verstärkers

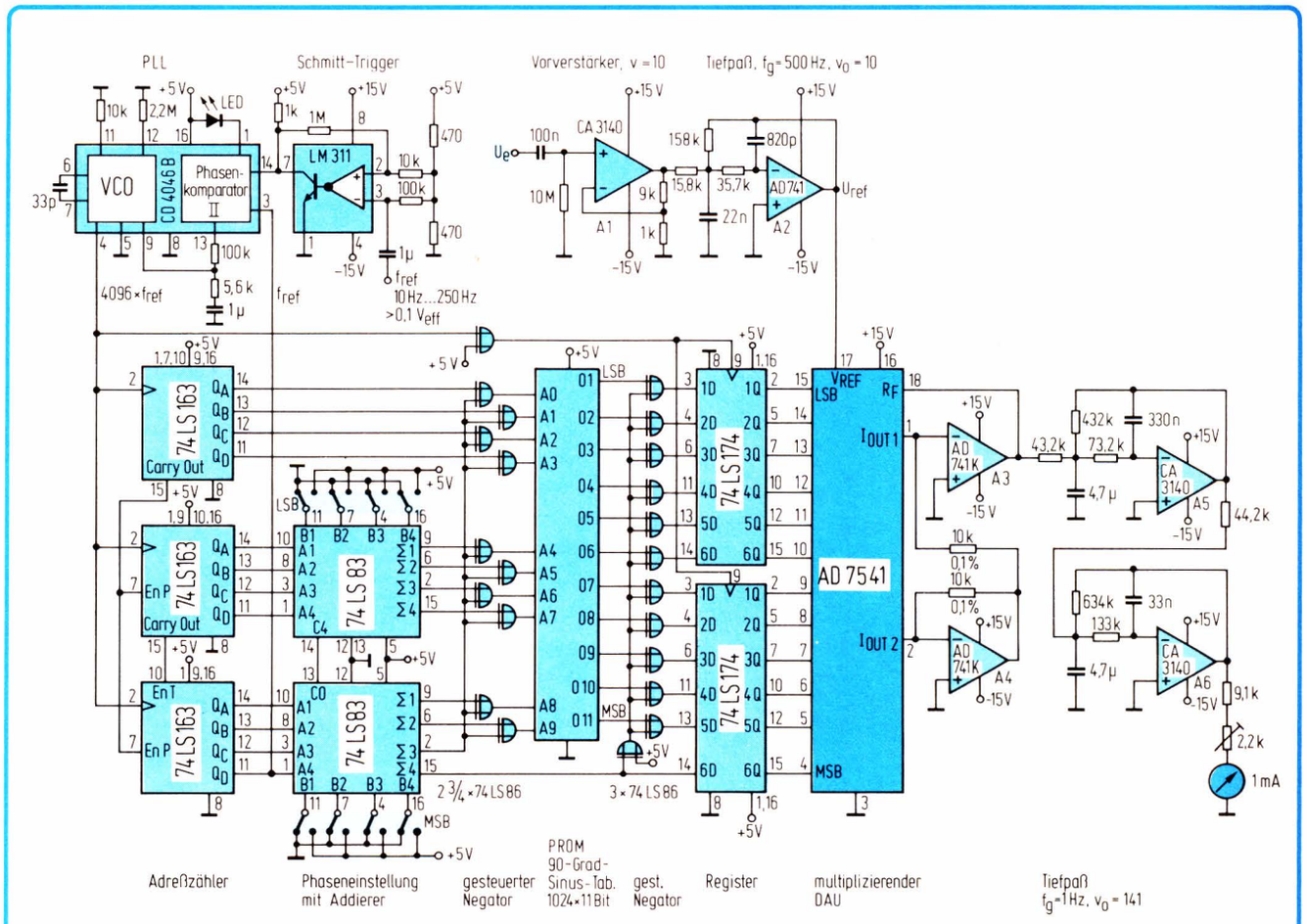


Bild 2. Ausführung des Lock-In-Verstärkers

Schneller D/A-Umsetzer aus ECL-NOR-Gattern

Die Schaltung in *Bild 1* zeigt eine Schaltstufe eines sehr preiswerten 8-Bit-D/A-Umsetzers, der ausschließlich aus Standard-Bauteilen aufgebaut ist und zudem mit den in ECL-TTL-Systemen ohnehin vorhandenen Betriebsspannungen −2 V, −5,2 V und +5 V auskommt.

Digitale Schaltungen, die Systemtaktfrequenzen (f_s) von über 40 MHz verarbeiten können, werden im allgemeinen in Schottky-TTL- oder ECL-Technologie realisiert. Viele Entwickler geben in diesem Frequenzbereich der ECL-Technologie den Vorzug. Für die Datenkonvertierung stellt sich hierbei das Problem, geeignete D/A-Umsetzer zu beschaffen. Seitens der Industrie werden kaum ECL-kompatible Bausteine angeboten. Billig-Typen sind gar nicht erhältlich, so daß der Anwender vielfach auf eigene Entwicklungen angewiesen ist.

Mit der dargestellten Schaltung lassen sich problemlos eine Nichtlinearität von ± 0,5 %, eine Drift von 0,05 %/K und eine Setzzeit (*settling time*) ≦ 20 ns (Einschwingen auf ½ LSB bei voller Bereichsumschaltung) erzielen. Bei Verwenden von ECL-Bausteinen des Typs 1,6 k statt 10 k ist noch eine Verbes-

serung um Faktor zwei möglich.

Prinzip der Schaltstufen

ECL-Gatter der Serien 1,6 k und 10 k besitzen zwei Anschlüsse für Kollektor-Spannungsversorgung. Über Anschluß 16 wird U_{CC2} zugeführt. U_{CC2} ist die Kollektorspannung der Eingangs- und Hilfsstufen im IC. Die über Anschluß 1 zugeführte Kollektorspannung U_{CC1} versorgt ausschließlich die Emitter-

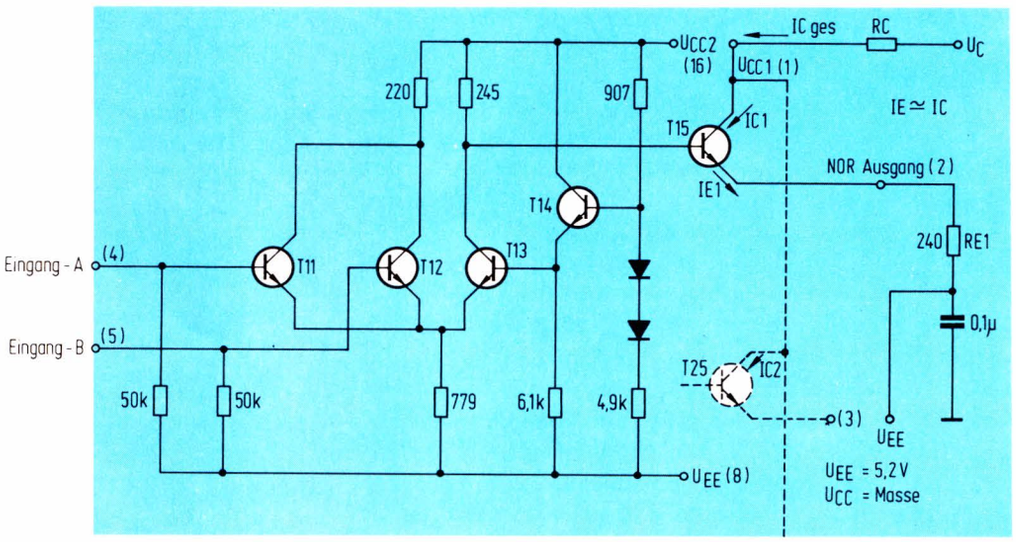


Bild 1. Mehrere dieser Stufen bilden den D/A-Umsetzer

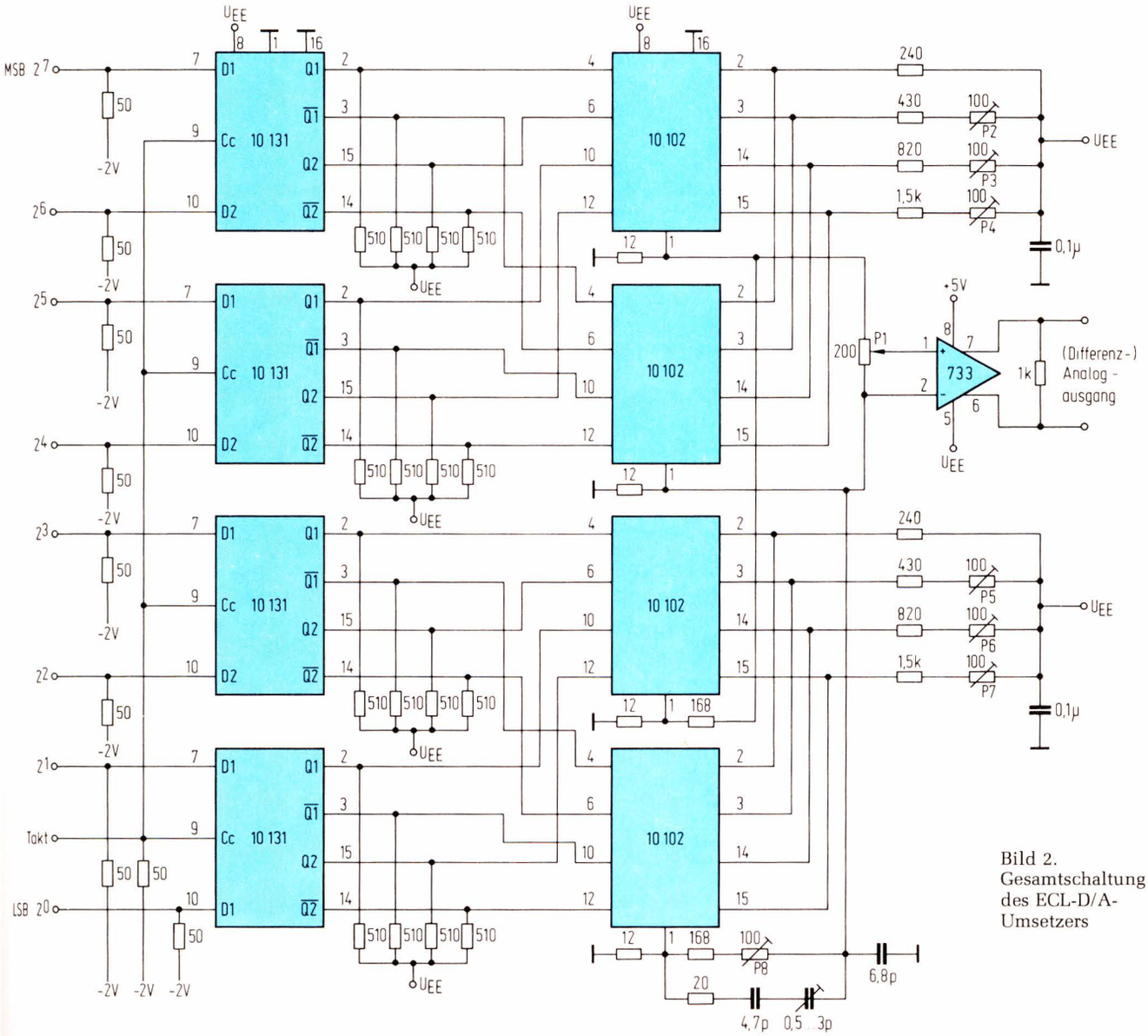


Bild 2. Gesamtschaltung des ECL-D/A-Umsetzers

folger der Ausgangsstufen. Die Ausgangstransistoren wirken in Verbindung mit den Emitterwiderständen als geschaltete Konstantstromquellen. Die Summe der Kollektorströme aller Ausgangstransistoren der vier NOR-Gatter des IC 10102 fließt über Anschluß 1 des ICs. Durch eine entsprechende Dimensionierung der Emitter-Widerstände läßt sich eine duale Stufung der Einzelströme erreichen. Die Summenstromänderungen werden am Kollektorwiderstand R_C in Spannungsänderungen umgewandelt und stellen den Analogwert des am Eingang angelegten Dualwortes dar.

Bei der Dimensionierung der Emitterwiderstände ist darauf zu achten, daß einerseits gute Flankensteilheiten erzielt werden, andererseits aber keine zu hohen Ausgangsströme fließen. Der gemeinsame Kollektor-Widerstand muß so niederohmig sein, daß der Spannungsabfall an diesem Widerstand im Vergleich zur Betriebsspannung vernachlässigbar bleibt.

Prinzip der Gesamtschaltung

Bild 2 zeigt die Gesamtschaltung des D/A-Umsetzers einschließlich der Übernahmeregister. Um eine möglichst gute Störsicherheit zu gewährleisten, wurde die Gesamtschaltung als symmetrische Gegentaktschaltung aufgebaut. Der Gesamtstromverbrauch der Schaltung bleibt dadurch stets konstant, so daß kaum „Spikes" beim Umschalten des D/A-Umsetzers entstehen.

Über einen Datenbus werden die Bits $2^0 ... 2^7$ den Eingangsregistern vom Typ 10131 zugeführt und durch einen positiven Taktimpuls übernommen. Die gegenphasigen Ausgangssignale der Register – Q und $\overline{Q}$ – werden den Schaltstufen zugeführt.

Die Emitter einer Gegentakt-Schaltstufe haben einen gemeinsamen Emitter-Widerstand, wodurch gewährleistet wird, daß stets ein Transistor vollständig leitet, während der andere vollständig sperrt (die Schalttransistoren stehlen sich gegenseitig den Strom). Die Bits $2^0 ... 2^3$ werden über Widerstände dem Endverstärker Typ 733 zugeführt. Durch vier weitere Schaltstufen läßt sich auch – unter Verwendung eines geeigneten Widerstandsnetzwerkes – ein 12-Bit-D/A-Umsetzer aufbauen.

Zur Auskopplung der Analogspannung dient ein Operationsverstärker ($v \approx 10$) vom Typ 733. Mit dem Potentiometer P 1 wird eine gewünschte Ausgangsspannung eingestellt, jedoch ist zu beachten, daß der Operationsverstärker nicht übersteuert wird. Mit den einstellbaren Emitter-Widerständen P 2...P 7 und dem Potentiometer P 8 wird der D/A-Umsetzer auf bestmögliche Linearität und Stetigkeit abgeglichen.

Erwin Scholle

Gleichspannungswandler zur Hilfsspannungserzeugung

Der hier beschriebene DC/DC-Wandler erzeugt mit wenig Aufwand mehrere galvanisch getrennte Hilfsspannungen. Der Wandler ist leerlauf- und kurzschlußfest. Er kann z. B. zum Versorgen der Steuerlogik und der Treiberstufen von transistorisierten Brückenschaltungen in Umrichtern, Schaltreglern und Motorsteuerungen eingesetzt werden.

Der DC/DC-Wandler (*Bild 1*) arbeitet nach dem Prinzip des selbstschwingenden Sperrwandlers [1]. Beim Anlegen der Eingangsspannung in Höhe von etwa 24 V wird der Wandler mittels des Ladestromes des Kondensators C 1 angeworfen. Der Darlington wird leitend, die Primärinduktivität des Transformators Tr beginnt sich aufzuladen, und der Primärstrom des Transformators fließt über den Widerstand R 3. Bei Erreichen eines festgelegten Grenzwertes zündet der schnelle Planarthyristor BRY 55S und sperrt den Schalttransistor. Daraufhin entlädt der Transformator die gespeicherte Energie über die sekundären Dioden in die Kondensatoren an den Wandlerausgängen. Nach Abspeicherung der Energie wird der Transistor wieder leitend und lädt erneut die Primärinduktivität auf. Die Schaltfrequenz von 20 kHz steigt im Leerlauf auf 80 kHz an.

Wird an den Wandlerausgängen weniger Energie entnommen als vorher eingespeichert wurde, so steigt die Ausgangsspannung an. Hierdurch wird die Z-Diode leitend und zündet den Thyristor schon bei geringeren Primärströmen. Die eingespeicherte Energie wird verringert, die Ausgangsspannungen werden stabilisiert.

Bei Überlast am Ausgang wirkt zunächst die Primärstrombegrenzung mit dem Thyristor. Bei Kurzschluß am Ausgang reißen die Schwingungen des Wandlers ab. Es genügt, eine der Ausgangsspannungen zu überwachen, da bei Überlastung eines beliebigen Ausganges alle anderen Ausgangsspannungen zusammenbrechen (*Bild 2*).

Vergleicht man den Aufwand für diese Schaltung mit dem, der üblicherweise getrieben werden muß, um mehrere getrennte Hilfsspannungen zu stabilisieren und zu schützen, so kommt man zu dem Ergebnis, welches in *Bild 3* zusammengefaßt wurde:

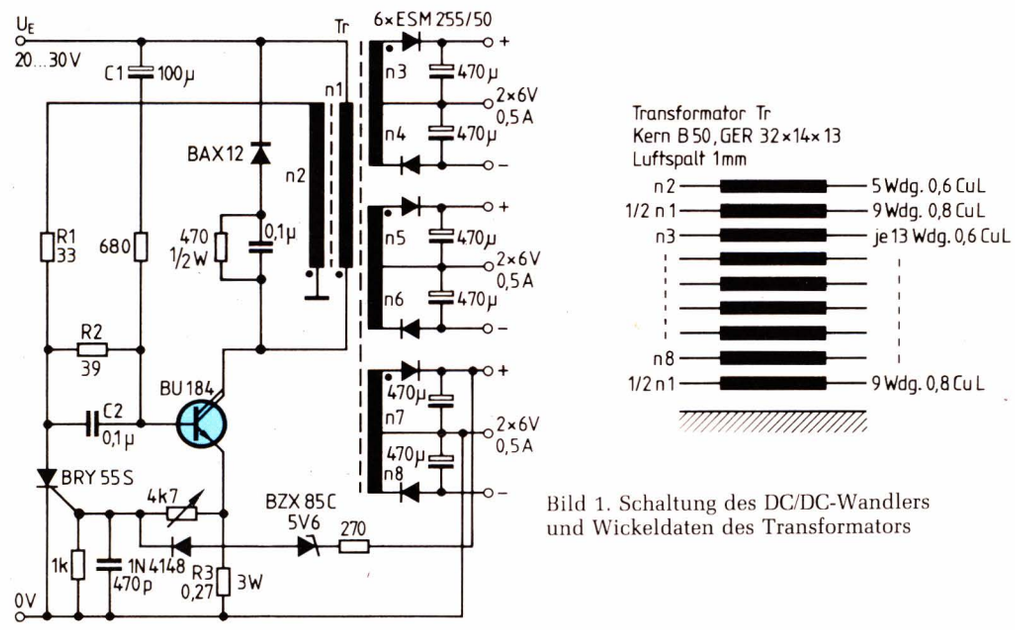


Bild 1. Schaltung des DC/DC-Wandlers und Wickeldaten des Transformators

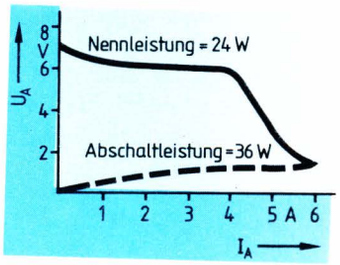


Bild 2. Kennlinie der Ausgangsspannungen

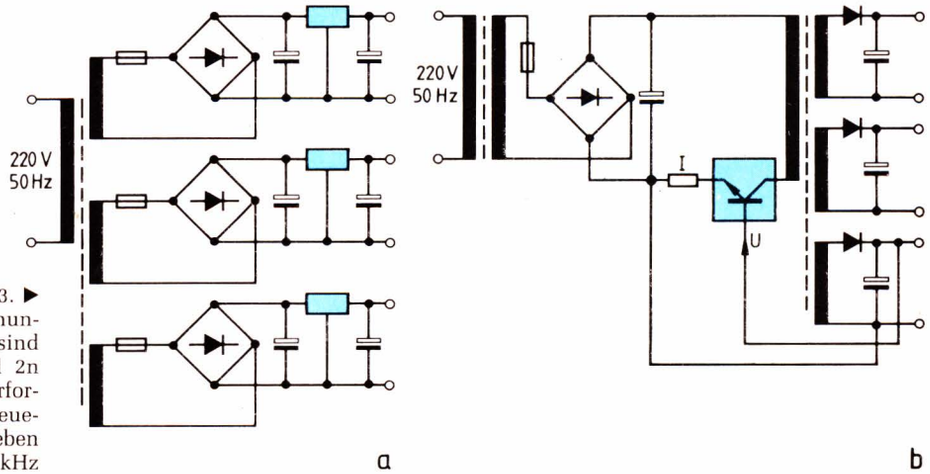


Bild 3. ▶
Erzeugung von n stabilisierten Hilfsspannungen: a) klassische Methode; erforderlich sind n Sicherungen, n Spannungsregler und 2n Kondensatoren; b) Schaltreglerprinzip; erforderlich sind 1 Schalttransistor mit Ansteuerung und 1+n Kondensatoren zum Sieben von 20 kHz

– Das Verwenden eines kleinen 20-kHz-Transformators gestattet es, mehrere im Linearbetrieb arbeitende Bauelemente, die gekühlt werden müssen, einzusparen.

– Wegen des höheren Wirkungsgrades kann der Netztransformator kleiner gewählt werden. Durch die geringe Windungszahl pro Volt ergibt sich eine geringere kapazitive Kopplung zwischen den verschiedenen Ausgängen des Wandlers. Wird der hier beschriebene DC/DC-Wandler zur Spannungsversorgung von Treiberstufen in Hochvolt-Brückenschaltungen, in denen hohe du/dt-Werte auftreten, verwendet, so ist dies ein erheblicher Vorteil.

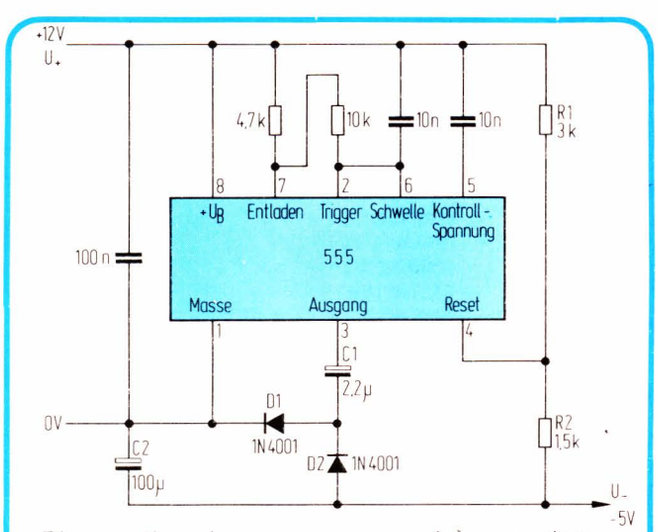
Ing. (grad.) Gérard Sendrané

Literatur

[1] *Wüstehube, J.*: Gleichspannungswandler für Schaltnetzteile. ELEKTRONIK 1978, H. 4, S. 102...107.

Stabilisierte negative Hilfsspannung

Diese Schaltung (*Bild*) erzeugt aus einer positiven Versorgungsspannung eine negative Ausgangsspannung und arbeitet nach dem *Pumpschaltungsprinzip*.



Die negative Ausgangsspannung wird aus einer positiven Versorgungsspannung erzeugt

Gegenüber bisher vorgestellten Schaltungsideen besteht der Vorteil, daß die Ausgangsspannung durch die Beschaltung des Reset-Anschlusses des Zeitgebers 555, welcher als frei schwingender Multivibrator arbeitet, stabilisiert wird. Am Ausgang entsteht eine Rechteckspannung, die den Kondensator C 1 abwechselnd über D 1 auf- und über D 2 entlädt. Der Strom durch D 2 erzeugt an C 2 die negative Ausgangsspannung. Hat sie den gewünschten Wert, so wird die Schaltschwelle des Reset-Anschlusses erreicht, der Multivibrator hört auf zu schwingen, und ein weiteres Ansteigen der Spannung ist ausgeschlossen. Fällt die Spannung ab, so setzt der Pumpvorgang automatisch wieder ein. Bei der angegebenen Dimensionierung werden –5 V aus +12 V erzeugt. Es können bis zu 60 mA entnommen werden (z. B. für EPROM 2708, CPU 8080). Der Spannungsteiler berechnet sich nach der Gleichung: $R\,1/R\,2 = (U_+ - 0{,}7\ V)/(U_- + 0{,}7\ V)$. Die Widerstände sollten nicht zu hochohmig gewählt werden ($(R\,2 \cdot R\,1)/(R\,2 + R\,1) < 2\ k\Omega$). Die positive Versorgungsspannung U_+ muß stets mehrere Volt über dem Betrag der gewünschten Ausgangsspannung liegen.

Dipl.-Ing. Thomas Knauf

Integrierte Überspannungs-Schutzschaltung

Überspannungs-Schutzschaltungen schützen empfindliche elektronische Schaltungen vor Überspannungsspitzen oder Spannungsreglerausfällen. Tritt der Fehler ein, so wird von der integrierten Schaltung ein Thyristor (crowbar = Brecheisen) getriggert, der den Ausgang des Netzteils kurzschließt.

1 Der Baustein MC 3423

Den Einsatz der Schutzschaltung in einem Stromversorgungsgerät zeigt *Bild 1*. Der Kurzschlußstrom läßt die Strombegrenzung ansprechen oder bringt eine Sicherung zum Schmelzen.

Bei dem Schutzfühler-Baustein MC 3423 von Texas Instruments (eine Ausführung mit erweitertem Temperaturbereich wird unter der Typenbezeichnung MC 3523 angeboten) kann sowohl der Ansprechpegel als auch die Ansprechzeit extern eingestellt werden. Außerdem steht ein Signal zur Verfügung, das den Fehler anzeigt (z. B. für Alarmauslösung oder für Melde-LED) und ein Eingang, mit dem die Schaltung von außen aktiviert werden kann (z. B. vom Notausschalter).

In *Bild 2* sind Anschlußbelegung und Innenschaltung dargestellt.

2 Einsatz des Bausteins

Grundschaltungen für Überspannungsschalter zeigen *Bild 3* und *Bild 4*. Die Schaltung nach Bild 3 ist für Spannungen bis 36 V geeignet, weil zwischen dem

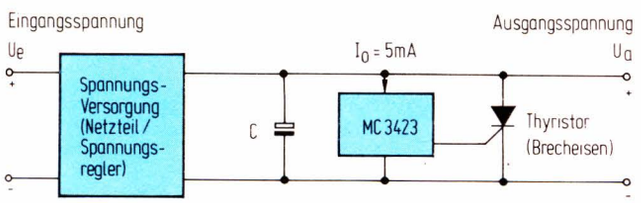
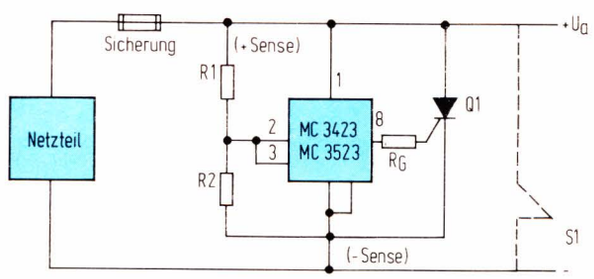


Bild 1. Blockschaltung einer Überspannungs-Schutzschaltung



* RG siehe Text
** S1 siehe Text
Anm.: Bei Schaltspannungen unter 4,5 V sollte Anschluß 1 extern mit Spannung versorgt werden

Bild 3. Überspannungs-Schutzschaltung bis 36 V

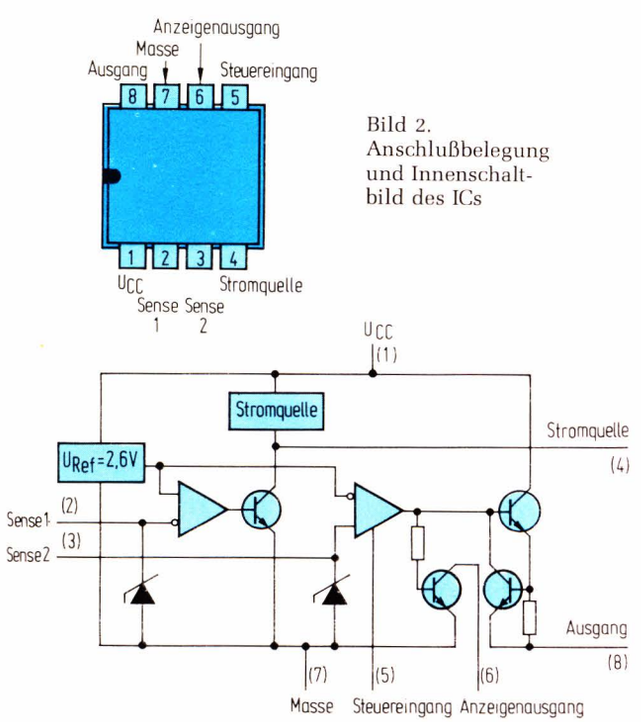


Bild 2. Anschlußbelegung und Innenschaltbild des ICs

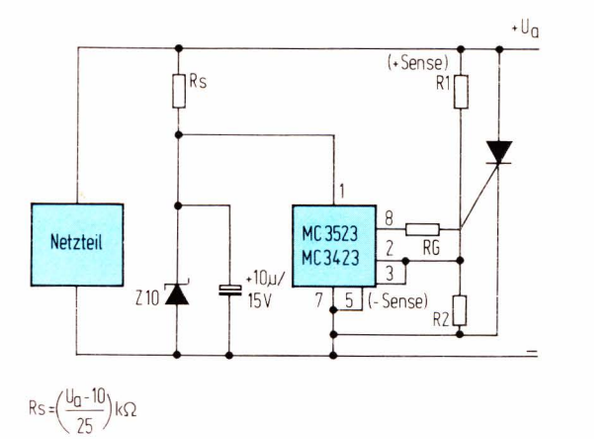


Bild 4. Schutzschaltung für Spannungen über 36 V

U_{CC}- und Masseanschluß höchstens 45 V Spannungsdifferenz anliegen darf. Für höhere Spannungen muß eine Z-Diode vorgesehen werden (Bild 4).

In den Schaltungen sind beide Senseeingänge der internen Komparatoren zusammen über den Spannungsteiler R 1 und R 2 an die zu überwachende Spannung gelegt. Dadurch erfolgt die Abschaltung fast ohne Verzögerung (interne Signallaufzeit etwa 500 ns).

Die Werte für R 1 und R 2 werden folgendermaßen bestimmt:

$$U_a = U_{Ref}\left[1 + (R\,1/R\,2)\right]$$

wobei $U_{Ref} = 2{,}6$ V ist und R 2 $\leqq$ 10 kΩ gewählt werden soll, um die Drift gering zu halten.

Zum Schutz des Ausgangstransistors (maximaler Strom 300 mA) liegt ein Gatewiderstand RG zwischen Ausgang und dem Steueranschluß des Thyristors. Der Wert für RG ist aus dem Diagramm in *Bild 5* zu entnehmen. Durch diesen Widerstandswert bekommt der Thyristor den größtmöglichen Triggerstrom, ohne daß das IC Schaden nimmt. Kleinere Werte für RG führen zum Ausfall des ICs. Werden empfindlichere Thyristoren verwendet, kann man jedoch problemlos RG erhöhen, um den Zündstrom zu verringern.

Der in Bild 3 gestrichelt eingezeichnete Schalter S 1 bringt den Thyristor wieder zum Sperren (Reset der Schaltung), falls das Netzteil im Kurzschlußfall nicht auf Null Volt zurückregelt. Wird der Strom des Netzteiles nicht begrenzt, schmilzt die Sicherung und die Ausgangsspannung U_a wird abgeschaltet.

In vielen Anwendungsfällen sind Rausch-, Stör-, Brumm- und/oder Schaltspitzen zu erwarten. Damit durch diese kurzzeitig erhöhten Spannungen die Schutzschaltung nicht aktiviert wird (falscher Alarm) kann eine einstellbare Abschaltverzögerung mit eingebaut werden (*Bild 6*). Es liegt ein Kondensator an Anschluß 3 gegen den Masseknotenpunkt. Dessen Kapazität bestimmt die Mindestdauer der Fehlerbedingung, die zum Abschalten führt. Der Wert für eine gesuchte Verzögerung läßt sich aus dem Diagramm in *Bild 7* ablesen.

Steigt die Eingangsspannung an Anschluß 2 über die Schwelle (Referenzspannung typisch 2,6 V mit einem Temperaturkoeffizienten von 0,08 %/K) sperrt der Transistor am Ausgang des Spannungskomparators Sense 1 und die interne Stromquelle lädt den Kondensator an Anschluß 4, der mit dem Eingang Sense 2 verbunden ist. Liegen die Spannungsspitzen

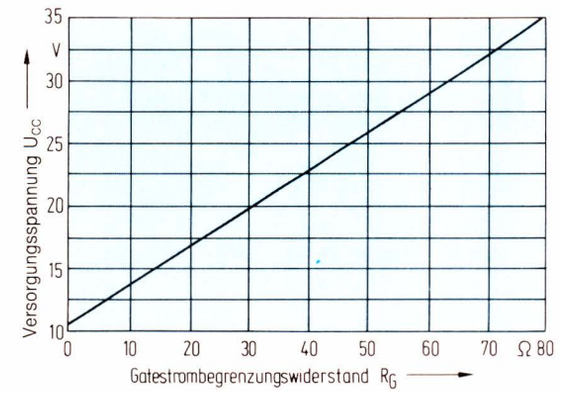


Bild 5. Minimaler Gatewiderstar

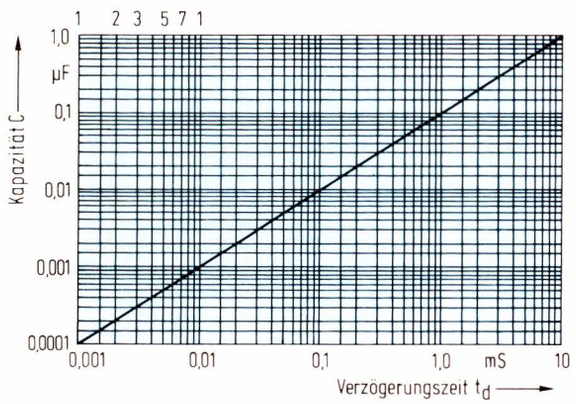


Bild 7. Diagramm zur Bestimmung der Verzögerungskapazität

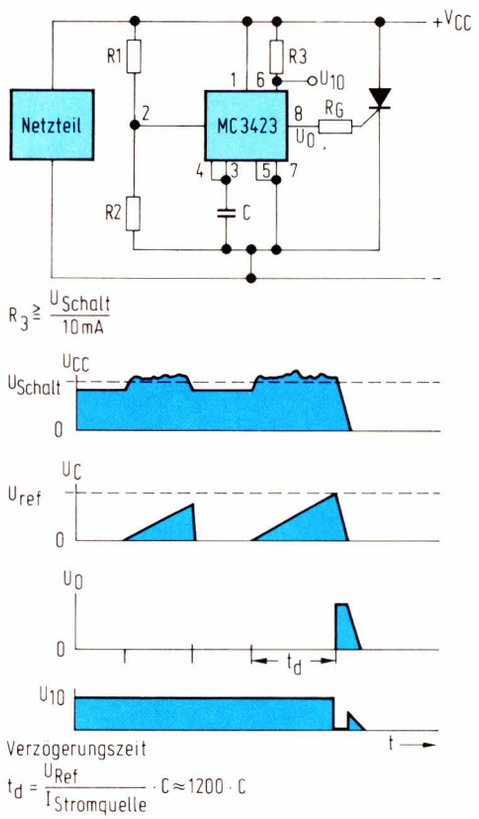


Bild 6. Abschaltverzögerung der Schutzschaltung

so lange vor, daß die Kondensatorspannung größer wird als die Referenzspannung, schaltet der Ausgangstransistor durch, und es wird ausgeschaltet.

Verringert sich die erhöhte Spannung, ehe der Thyristor leitet, wird der Kondensator über den leitenden Transistor Sense 1 etwa zehnmal schneller wieder entladen, damit der ursprüngliche Zustand erreicht ist, wenn die nächste Fehlspannung auftritt.

An dem IC ist ein zusätzlicher Ausgang (Anschluß 6) vorhanden, um anzuzeigen, wann der Überspannungs-Schutzfühler aktiv ist. Der Anschluß ist der offene Kollektor eines Transistors, der in die Sättigung geht, wenn die Schaltung anspricht und bleibt solange durchgeschaltet, bis die Ausgangsspannung U_a beim Abschalten unter 4,5 V fällt. Dieser Ausgang kann z. B. ein Flipflop triggern, dessen Ausgang wiederum das Netzteil ausschaltet. Bei solcher Schutzschaltung wird der Thyristor mit dem erforderlichen Kühlblech eingespart. Anschluß 5 ist ein CMOS- und TTL-kompatibler Eingang, der als „Fernsteuerung" genutzt werden kann. Ist die anliegende Spannung unter 0,7 V, arbeitet der MC3423 wie beschrieben. Steigt jedoch die Spannung über 2,0 V, wird der Baustein aktiv, ganz gleich ob eine Fehlspannung auftritt oder nicht. Diese Zusatzfunktion kann dazu dienen, eine geordnete Abschaltfolge der verschiedenen Netzteile eines Systems zu erzielen, wenn ein Fehler im System auftritt.

Wird zwischen dem Anzeigenausgang (6) und dem Steuereingang (5) eines weiteren MC3423 ein Transistor als Inverter geschaltet, so wird das andere IC von dem ersten aktiviert.

Dipl.-Ing. Detlev Bergmann

Literatur

1 Datenblatt MC3423/MC3523, Texas Instruments, 1978.
2 Linear Manual, Texas Instruments Deutschland GmbH, 1977.
3 The Linear Control Circuits Databook, Texas Instruments Inc., 1976/77.

Doppelnetzteil mit Bezugsregelung

Das im *Bild* dargestellte Doppelnetzgerät liefert zwei Spannungen, die gemeinsam geregelt werden (Bezugsregelung) und deshalb in jedem Fall symmetrisch bleiben. Es verfügt gleichzeitig über eine sehr exakte Strombegrenzung, die den Betrieb als einstellbare Konstantstromquelle ermöglicht.

Für Versuchsschaltungen, bei denen symmetrische Spannungen erforderlich sind, werden meist voneinander unabhängige Spannungsversorgungen verwendet. Wird eine davon überlastet, so fällt ihre Spannung ab, während die andere stabil bleibt: Empfindliche Bauelemente können zerstört werden.

Dieser Nachteil entfällt bei der vorgestellten Schaltung. Der Übergang von Spannungs- auf Stromregelung wird durch LEDs angezeigt. Die angegebenen Widerstandswerte sind lediglich als Anhaltswerte zu verstehen, während die Widerstandsverhältnisse, die die Verstärkung der Operationsverstärker bestimmen, einzuhalten sind.

1 Spannungsregelung

Sind beide Ausgangsspannungen betragsmäßig gleich, ist die Ausgangsspannung von IC1 gleich null. IC2 und IC3 sind als Subtrahierer geschaltet. Für ihre Ausgangsspannung gilt:

U_A (IC2) $= U_R - U_A$ (IC1),
U_A (IC3) $= U_A$ (IC1) $- U_R$.

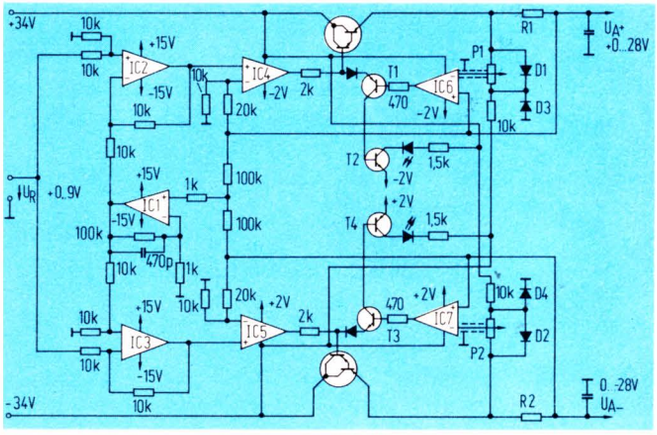
Die Verstärker IC4 und IC5 arbeiten als nichtinvertierende Spannungsverstärker mit der Verstärkung drei. Durch einen nachgeschalteten Darlington-Leistungstransistor werden ein niedriger Ausgangswiderstand und eine hohe Strombelastbarkeit erreicht.

Für die Ausgangsspannungen gilt somit:

$U_{A+} = 3 \cdot (U_R - U_A\,(IC1))$,
$U_{A-} = 3 \cdot (U_A\,(IC1) - U_R)$.

Solange beide Ausgangsspannungen betragsmäßig gleich groß sind, gilt damit immer $U_A = \pm 3 \cdot U_R$.

Die Referenzspannung U_R kann durch einen integrierten Spannungsregler mit einstellbarer Ausgangsspannung oder ein weiteres Netzgerät bereitgestellt werden. Dies ermöglicht eine Spannungsmitführung bei der Kopplung mehrerer Netzgeräte. Wird die Referenzspannung an einem Potentiometer eingestellt, so sollte diesem ein Spannungsfolger nachgeschaltet werden. Geht eine Ausgangsspannung in die Strombegrenzung, so ist die Bedingung $|U_{A+}| = |U_{A-}|$ verletzt und U_A (IC1) $\neq 0$. Daher wird die andere Ausgangsspannung durch IC1 so lange nachgeregelt, bis beide Spannungen wieder betragsmäßig gleich sind.



Schaltung des Doppelnetzteils

Gelegentlich werden auch zwei unterschiedliche Ausgangsspannungen benötigt. Ersetzt man die beiden 100-kΩ-Widerstände durch ein entsprechendes Potentiometer, so läßt sich jedes beliebige Spannungsverhältnis zwischen den beiden Ausgangsspannungen einstellen (Verhältnisregelung). Dieses Spannungsverhältnis wird durch IC1 ebenfalls immer konstant gehalten. Für die Ausgangsspannungen gilt dann:

$$|U_{A+}| + |U_{A-}| = 6 \cdot |U_R| \text{ und } |U_{A+}| : |U_{A-}| = R_+ : R_-$$

Dabei ist jedoch zu beachten, daß diese Beziehung nur gilt, solange keine der beiden Ausgangsspannungen in die Sättigung geht. Alle verstärkungsbestimmenden Widerstände sollten als engtolerierte Metallschichtwiderstände ausgeführt werden. Bei Verwendung eines Verhältnispotentiometers sollte eine Umschaltung zwischen festem Spannungsteiler und Potentiometer vorgesehen werden.

Die Schaltung enthält sechs miteinander verkoppelte Regelkreise. Die hohe Schleifenverstärkung der einzelnen Regelkreise führt leicht zu Stabilitätsproblemen. Zwar läßt sich durch große Kapazitäten an den Ausgangsklemmen immer Stabilität erreichen, jedoch hat die Stromregelung keinen Einfluß auf die Entladeströme dieser Kondensatoren, so daß durch eine solche Kondensatorentladung leicht Bauelemente zerstört werden. Die Kondensatoren sollten daher so klein wie möglich sein (etwa 1 nF). Als Operationsverstärker sollten extern kompensierbare sehr schnelle Typen Verwendung finden. Zur Dimensionierung ist zuerst IC1 an den Eingängen kurzzuschließen, und die beiden äußeren Regelverstärker sind auf Stabilität abzugleichen. Dann wird die Bezugsregelung mit IC1 abgeglichen. Dies kann, unter Belastung mit diversen Lastimpedanzen, einmal durch die Wahl der Verstärkung von IC1 erfolgen. Geringe Verstärkung ergibt höhere Stabilität aber auch eine größere Regelabweichung. Weiterhin kann die Stabilität durch einen Kondensator parallel zum Gegenkopplungswiderstand erhöht werden (IC1 wird damit zu einem Verzögerungsglied 1. Ordnung), wobei jedoch die Regelgeschwindigkeit geringer wird. Auch die Leiterbahnführung und insbesondere die Wahl der Massepunkte ist von erheblicher Bedeutung.

2 Stromregelung

Die Begrenzung und Regelung des Ausgangsstroms erfolgt durch die Operationsverstärker IC6 und IC7. Der Ausgangsstrom erzeugt an den Strommeßwiderständen R1 und R2 einen Spannungsabfall, der mit der an P1 bzw. P2 eingestellten Bezugsspannung verglichen wird. Überschreitet der Spannungsabfall am Meßwiderstand die Bezugsspannung, so übernimmt IC6 bzw. IC7 die Regelung der Ausgangsspannung und hält den Ausgangsstrom konstant. Der dabei fließende Ausgangsstrom der Regelverstärker steuert die Transistoren T1, T2 bzw. T3, T4 durch, und die LEDs leuchten auf. Der Übergang von Spannungs- auf Stromregelung kann auf diese Weise sehr exakt erkannt werden.

Bei weniger hohen Anforderungen können die Transistoren auch eingespart werden und die LEDs direkt statt der Basis-Emitter-Strecke von T1 bzw. T3 geschaltet werden.

Da die Bezugsspannung kleiner oder gleich der Durchlaßspannung von D1 bzw. D2 ist, gilt für die Bemessung von R1 und R2:

$$R1 = U_{D1} / I_{max+}, \; R2 = U_{D2} / I_{max-}.$$

Der zulässige Maximalstrom I_{max} ergibt sich aus der Wahl und Kühlung der Längstransistoren. Die Potentiometer (10 kΩ) sollten einen logarithmischen Widerstandsverlauf aufweisen, da dann kleine Ströme exakter einzustellen sind. Die Regelverstärker IC6 und IC7 sollten eine Offsetkompensation besitzen. P1 und P2 sind sorgfältig abzuschirmen, ebenso die Leitung vom Mittelabgriff zum Regelverstärker, da dieser mit voller Leerlaufverstärkung arbeitet und bei Stromregelung auch eine sehr kleine Brummspannung einen erheblichen „Brumm" auf der Ausgangsspannung verursachen kann.

Mit der Schaltung läßt sich für Ströme von 5 mA bis 2 A eine sehr genaue einstellbare Begrenzung erreichen. Die Dioden D3 und D4 schützen die Verstärker IC6 und IC7 bei Ausfall einer Versorgungsspannung vor der Zerstörung. *Dipl.-Ing. Georg Angelé*

Labornetzgerät mit verringerter Verlustleistung

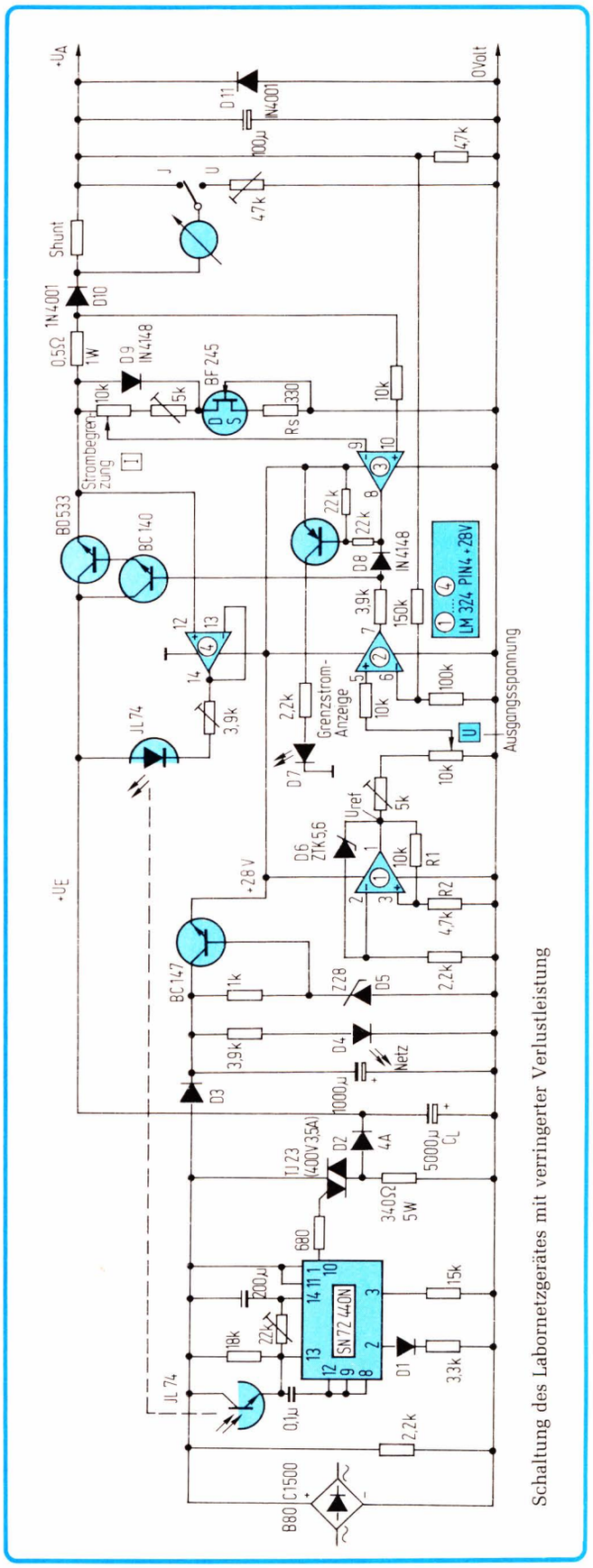
Durch Kombination und Erweiterung der in [1] und [2] vorgestellten Schaltungsideen entstand dieses präzise einstellbare Netzgerät für Laboranwendung. Das Gerät arbeitet im Bereich 0...25 V als Konstantspannungsquelle und bis 1 A als Konstantstromquelle. Die Verlustleistung bleibt immer unter 10 W.

Die Referenzspannung für die Ausgangsspannung wird aus einer normalen, temperaturkompensierten Z-Diode erzeugt, die gepuffert im Gegenkopplungszweig eines Operationsverstärkers betrieben wird [2].

Für den Konstantstrom wird aus der Flußspannung einer Siliziumdiode die Referenzspannung abgeleitet, die in Reihe mit einem als Konstantstromquelle geschalteten FET liegt. Über die Schwellspannung der Diode D 10 und dem Meßwiderstand für die Stromanzeige erreicht man eine Minimalspannung von 0,8 V auch dann, wenn die Ausgangsklemmen kurzgeschlossen werden. Wird der am Netzgerät einstellbare Grenzstrom erreicht, übernimmt ein als Komparator geschalteter Operationsverstärker die Stromregelung. Dieser Zustand wird mit einer LED angezeigt.

Die Verlustleistung ist in der Hauptsache abhängig von dem Spannungsabfall ΔU über dem Längsregeltransistor, multipliziert mit dem fließenden Ausgangsstrom. Für ein Netzgerät der hier gewählten Größenordnung ist eine maximale Gesamtverlustleistung von etwa 35 W über dem Längsregler zu erwarten. Es liegt nahe, die Eingangsspannung des Spannungskonstanters nur so groß vorzugeben, daß ΔU über dem Längsregler für jede Ausgangsspannung gleich groß bleibt [1]. In der Regel ist ein ΔU von 5...10 V notwendig, um die Ausgangsspannung sicher auszuregeln. Damit wird gleichzeitig erreicht, daß die max. Verlustleistung des Leistungstransistors 10 W nicht überschreitet.

Die Differenzspannung ΔU wird als Steuergröße über einen direkt gegengekoppelten Operationsverstärker der LED des Optokopplers zugeführt. Wird ΔU größer als vorgewählt, schaltet der Transistor des Optokopplers und verhindert, daß der integrierte Nullspannungsschalter SN 72440N Zündimpulse an den



Schaltung des Labornetzgerätes mit verringerter Verlustleistung

Triac für den Ladekondensator liefert. Verringert sich ΔU, wird der Triac jeweils im Nulldurchgang der Netzwechselspannung gezündet und liefert positive Halbwellen oder Halbwellenpakete an den Ladekondensator C_L. Maßnahmen zur Netzentstörung sind überflüssig. Eine Leistungsdiode im Ladestromkreis verhindert die Entladung des Ladekondensators über den Triac. Der Ladekondensator wird im Mittel nur in Höhe von $U_A + \Delta U$ aufgeladen.

Die Betriebsspannung für die Operationsverstärker, es wird der 4fach-Typ LM 324 verwendet, wird über die Diode D 3 der gleichgerichteten Wechselspannung direkt abgeleitet und auf 28 V begrenzt. Die Verwendung dieses Bausteins hat den Vorteil, daß er mit nur einer Betriebsspannung von 28 V auskommt und aufgrund seiner inneren Struktur trotzdem als Spannungsregler ohne Hilfsspannungen die Ausgangsspannung U_A definiert auf 0 V regeln kann. Es ist allerdings nicht möglich, mit dieser Schaltung Ausgangsspannungen über 25 V zu erzeugen. Es genügt ein hinreichend dimensionierter Netztransformator mit nur einer Sekundärspannung, wobei deren Höhe weitgehend unkritisch ist. *Ing. D. Schwarzenberg*

Literatur

1 *Beck, M.*: Verringerung der Verlustleistung in Netzgeräten. ELEKTRONIK 1977, H. 9, S. 98.

2 *Weidner, H.*: Hochwertiges Netzgerät. ELEKTRONIK 1976, H. 7, S. 58.

3 *Tietze, U., Schenk, Ch.*: Halbleiter-Schaltungstechnik. Springer-Verlag.

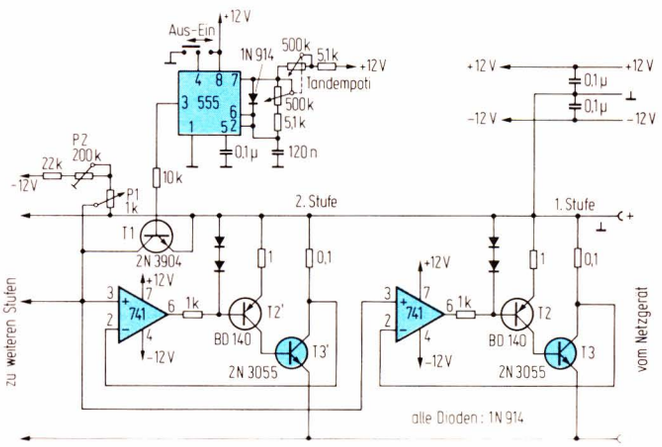
Prüfeinrichtung für Netzgeräte

Leistungsaufnahmeschaltung ersetzt Hochlastwiderstände

Bei der Entwicklung und Prüfung von Netzgeräten stößt man immer wieder auf die Schwierigkeit, keine für die verschiedenen Ausgangswerte (Spannung, Strom) passenden Hochlastwiderstände zu besitzen. So ist es z. B. bei einem regelbaren Netzgerät notwendig zu prüfen, wie es sich verhält, wenn über den gesamten Ausgangsspannungsbereich der Maximalstrom fließt. Eine Lösung wäre ein Hochlastpotentiometer, was aber bei größeren Leistungen schon wieder sehr teuer wird. Eine zweite Lösung wäre die Schaltung im *Bild*, die als Leistungsaufnehmer einen oder mehrere Leistungstransistoren enthält, die nun bei entsprechender Steuerung bei sehr niedrigen Innenwiderständen betrieben werden. Als großen Vorteil weist diese Schaltung die Steuerbarkeit der Leistungsaufnahme auf, die durch das Takten der Basisspannung für die Leistungstransistoren erreicht wird. In dieser Betriebsart kann man dann aus der Darstellung der Ausgangsspannung des Netzgerätes auf einem Oszilloskop sehr schön die Regelgüte beobachten.

An den nichtinventierenden Eingang eines Operationsverstärkers wird über ein Potentiometer eine Referenzspannung gelegt. Der invertierende Eingang dieses OP bekommt die Spannung zugeführt, die über dem Meßwiderstand von 0,1 Ω abfällt. Der OP-Amp versucht nun über eine Stromquelle T2, die ihrerseits den Leistungstransistor T3 mit dem nötigen Basisstrom versorgt, den Kollektorstrom von T3 soweit ansteigen zu lassen, bis die Spannungen an beiden Eingängen des OP-Amps gleich sind. Somit werden sämtliche Driften von T2 und T3, die eine Änderung des Laststromes hervorrufen würden, eliminiert. Die Schaltung ist sehr leicht kaskadierbar, d. h. es können zur Erhöhung der Leistungsaufnahme zwei oder mehrere Stufen parallel geschaltet werden. Natürlich müssen die Leistungstransistoren mit einem für die Leistungsaufnahme entsprechenden Kühlkörper versehen werden. Der Maximalstrom pro Stufe beträgt bei der angegebenen Dimensionierung 5 A. Bei einem Kühlkörper mit 1 °C/K können ca. 60 W aufgenommen werden. Die Gehäusetemperatur beträgt dann ca. 90 °C.

Der als astabiler Multivibrator geschaltete Zeitgeber NE 555 steuert einen Schalttransistor T1, der die Referenzspannung für den oder die OP-Amps gegen Masse schaltet, womit auch der Laststrom unterbrochen ist. Die Frequenz des Zeitgebers kann von 10 Hz...1 kHz variiert werden. Mit dem Potentiometer P_1 bestimmt man den Laststrom, während man mit P2 den Wirkungsbereich von P1 von 0...50 mA bis 0...5 A pro Stufe einstellen kann. *Helmut Becker*



Schaltung der Prüfeinrichtung für Netzgeräte

Hochspannungsnetzgerät mit geringer Verlustleistung

Bei der Entwicklung eines Hochspannungsnetzgerätes (600 V/100 mA) wurde ein Konzept verfolgt, das insbesondere den Aspekten Wirtschaftlichkeit und Zuverlässigkeit besondere Beachtung zumißt. Dabei entstand ein Spannungskonstanter mit temperaturstabiler Referenz und einstellbarer Strombegrenzung, der in jeder Betriebsart dauerkurzschlußfest ist.

Die Schaltungstechnik für Präzisionsnetzgeräte ist gut bekannt [1]. Dennoch ergaben sich bei der Entwicklung eines Hochspannungsnetzgerätes (600 V, 100 mA) einige interessante Schaltungsdetails: einerseits die Verlustleistung reduzierende Maßnahmen, die prinzipiell auch bei jedem anderen Netzgerät angewendet werden können, und andererseits spezielle Sicherungsmaßnahmen, die wegen der hohen maximalen Ausgangsspannung notwendig sind.

Bei der Auswahl geeigneter Leistungstransistoren fällt auf, daß es kaum Typen mit hoher Spannungsfestigkeit bei gleichzeitig hoher Verlustleistung gibt. So zeigt z. B. ein Blick in die Datenblätter [2] des Typs BU 326 mit P_{tot} = 50 W und U_{CEO} = 400 V, daß bei einer Ausnutzung einer Spannungsfestigkeit von 400 V sich die Verlustleistung auf 6,5 W reduziert! Relativ optimal sind dabei die Daten des häufig in Horizontalendstufen eingesetzten BU 208: Bei einer Spannungsfestigkeit von 700 V kann man eine Verlustleistung von 4,9 W ausnutzen.

Das ist allerdings immer noch viel zu wenig, um ein Netzgerät mit den geforderten Daten zu bauen. Die Alternativen Parallelschaltung oder Kaskadierung von Leistungstransistoren wurden verworfen, weil sie nicht nur den Einsatz vieler teurer Bauelemente nötig machen, sondern auch noch im Betrieb den Nachteil haben, viel Wärme aus Verlustleistung entstehen zu lassen.

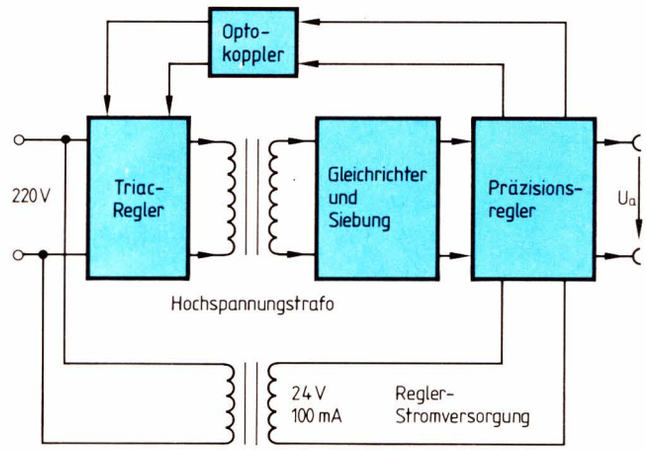


Bild 1. Verlustleistungsbegrenzung bei einem Netzgerät mittels Triac

Es wurde stattdessen eine Schaltung gebaut, die mit Hilfe eines Triac-Reglers die Verlustleistung am einzigen Längsregeltransistor BU 208 auf 3 W begrenzt (*Bild 1*). Um die Ausgangsspannung U_a galvanisch vom Netz zu trennen, wird der am Hochspannungstrafo primärseitig schaltende Triac-Regler über einen Optokoppler angesteuert. Die Eingangsspannung des Präzisionsreglers wird derart der Ausgangsspannung U_a angepaßt, daß der Spannungsabfall am Präzisionsregler immer etwa 50 V beträgt.

Technische Daten des Mustergerätes

Ausgangsspannung	
bei konstanter Spannung:	25...600 V
bei konstantem Strom:	0...600 V
Strombegrenzung:	0...100 mA
Störspannung am Ausgang (breitbandig)	
bei U_a=600 V, I_a=100 mA:	< 60 mV (U_{eff})
Statischer Innenwiderstand	
bei U_a=600 V, I_a = 100 mA:	≈ − 17 Ω
mit Kompensation:	0 Ω
Netzregelung	
bei 200...240 V $\frac{\Delta U_a}{U_a}$:	$2 \cdot 10^{-4}$

Funktion

Bild 2 zeigt die Gesamtschaltung des Netzgeräts, die Tabelle die technischen Daten des Mustergerätes. Die Netzspannung gelangt über einen Triac (41015) an den Hochspannungstrafo (2 x 300 V/100 mA). Die gleichgerichtete und gesiebte Spannung wird über eine stromanstiegsbegrenzende Spule L, den Längsregeltransistor T 4 und den Stromfühlwiderstand R_{St} an den Ausgang (U_a) geführt. OP 1a ist der Verstärker für die Spannungsregelung. Dabei wird ein Teil der Ausgangsspannung (R 1/R 2) über P 4 mit der Referenzspannung über R 3/P 1 verglichen. Wenn der Ausgangsstrom den mit P 3 eingestellten Wert erreicht,

übernimmt OP 1c die Regelung. Er vergleicht den Spannungsabfall am Stromfühlwiderstand R_{St} mit der durch OP 1d invertierten Referenz. Der als Komparator geschaltete OP 2 zeigt den Betriebszustand (konstanter Strom oder kostante Spannung) mit Hilfe der LEDs LD 2 und LD 3 an. Die Operationsverstärker werden unsymmetrisch durch ein mit Spannungsreglern (IC 3 und IC 4) stabilisiertes Netzgerät versorgt.

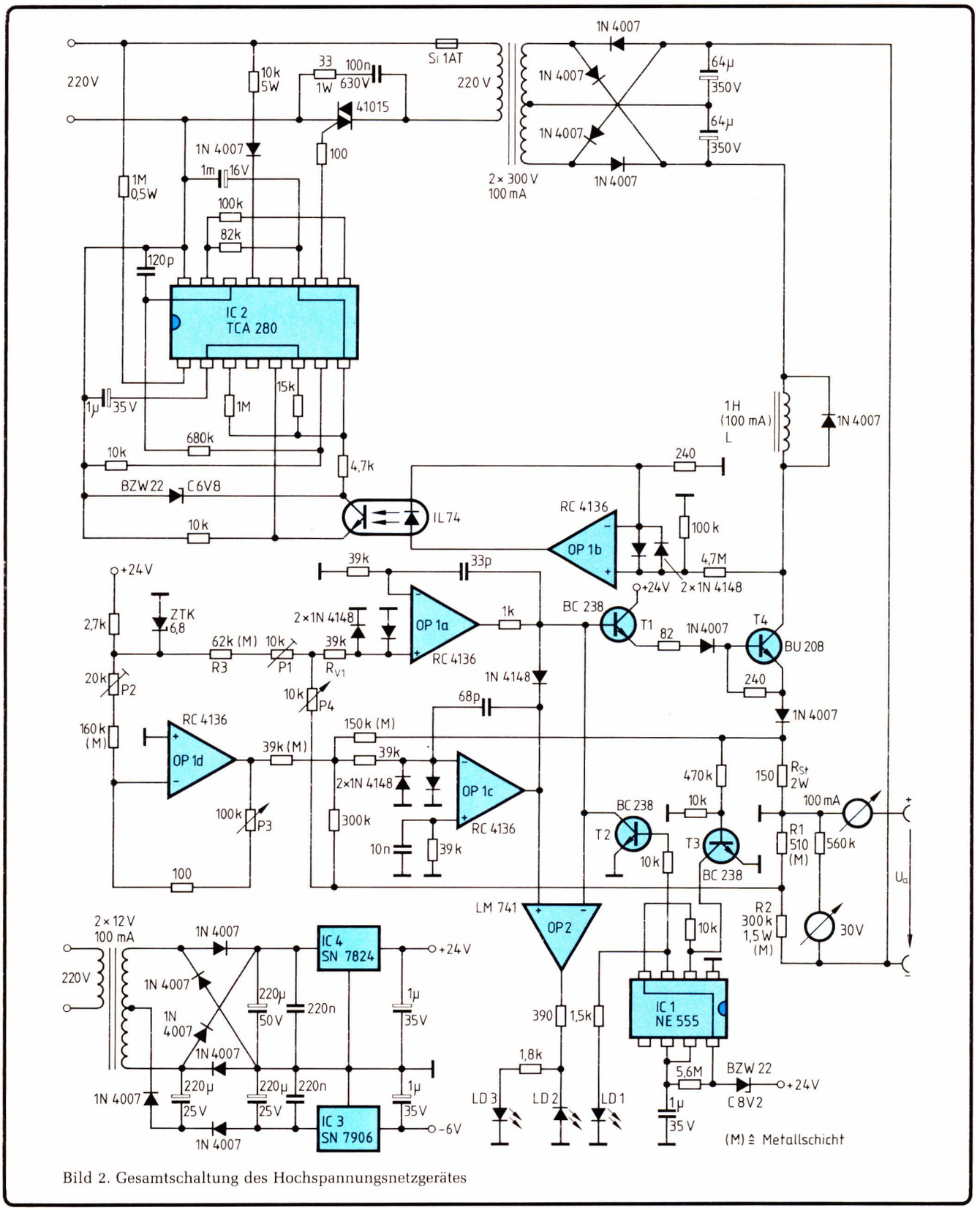


Bild 2. Gesamtschaltung des Hochspannungsnetzgerätes

Zu den Besonderheiten der Schaltung gehört der Triac-Regler, der die Kollektorspannung des Längsregeltransistors T 4 auf etwa 50 V konstant hält [3]. Dazu steuert diese Spannung eine durch OP 1b gebildete Stromquelle. Der Optokoppler IL74 überträgt diesen Strom auf den Eingang der mit IC 2 gebildeten Phasenanschnittsteuerschaltung [4], die den Hochspannungstrafo primärseitig steuert. Um das Gerät insbesondere auch bei der maximalen Ausgangsspannung dauerkurzschlußfest zu haben, wird mit Hilfe eines Monoflops (IC 1) der Leistungstransistor T 4 im Anschluß an eine Stromspitze (> 200 mA) für 6 s gesperrt. Diese Maßnahme verhindert die thermische Zerstörung von T 4 und R_{St} für kurzzeitig aufeinanderfolgende Ausgangskurzschlüsse.

Dipl.-Phys. Erich Gaulke

Literatur

[1] *Tietze, U.* und *Schenk, Ch.*: Halbleiter-Schaltungstechnik. Springer-Verlag, Berlin, Heidelberg, New York, 1978.

[2] Silizium-Leistungshalbleiter. Siemens-Datenbuch 30 A, 1979/80.

[3] *Hofbauer, P.*: Energiesparendes Hochleistungsnetzgerät. FUNKSCHAU 1980, H. 7, S. 99...103.

[4] Phasenanschnittsteuerung mit der integrierten Zündstufe TCA 280. Valvo Brief, Mai 1973.

Ladegerät für NiCd-Akkumulatoren

Wesentliche Vorteile sind: Aufladung von vier Sinterzellen in vier Stunden, Pufferbetrieb mit etwa 5 V sowie Dauerladung möglich, Aufbau in einem Steckernetzteil.

Im Prinzip ist die Schaltung eine Konstantstromquelle mit Spannungsüberwachung (*Bild 1*). Der Vorteil der Anordnung ist die Leerlauffestigkeit, d. h. es ist Betrieb eines Gerätes auch ohne eingesetzten Akkumulator möglich, ohne daß die Gefahr der Zerstörung des Gerätes durch zu hohe Betriebsspannung besteht.

Der NTC-Widerstand dient zur Temperaturkompensation der Vergleichspannung, die hier mit der Stabilisatordiode ZTE 2 (ITT) erzeugt wird. Der FET sollte ein I_{dss} von 8...12 mA aufweisen (BF 256 B).

Wegen der Streugrenzen der Diode und des NTC kann es nötig sein, dem 9,1-kΩ-Widerstand einen zweiten mit 47...220 kΩ parallel zu schalten, um bei Leerlauf auf 5,8 V am Ausgang zu kommen. Aus räumlichen Gründen wurde auf ein Potentiometer verzichtet.

Ursprünglich vorgesehen für eine Batterie mit 5 V/1,2 Ah, wurde ein Anfangsladestrom von etwa 400 mA gewählt. Durch Ändern des 1,5-Ω-Widerstandes sind andere Ladeströme möglich. Bei vollgeladener Batterie wird der Ladestrom automatisch verringert, so daß eine Dauerladung ohne Schaden gewährleistet ist. Den Verlauf der Spannung über dem Ladestrom zeigt *Bild 2*.

Für den Aufbau eignet sich nahezu jedes Steckernetzteil, wie es für den Betrieb von Taschenrechnern und Kofferradios angeboten wird, sofern es in der Lage ist, 300...500 mA bei 7...9 V zu liefern.

Ing. (grad.) Hartmut Baer

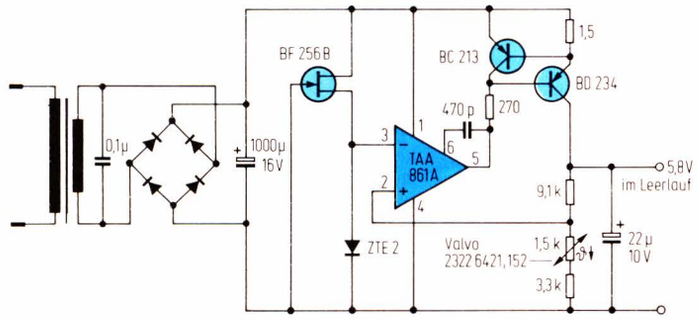


Bild 1. Schaltung des Ladegerätes

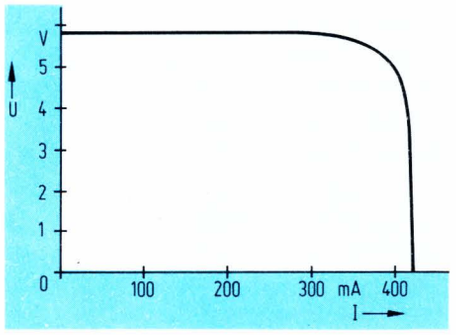


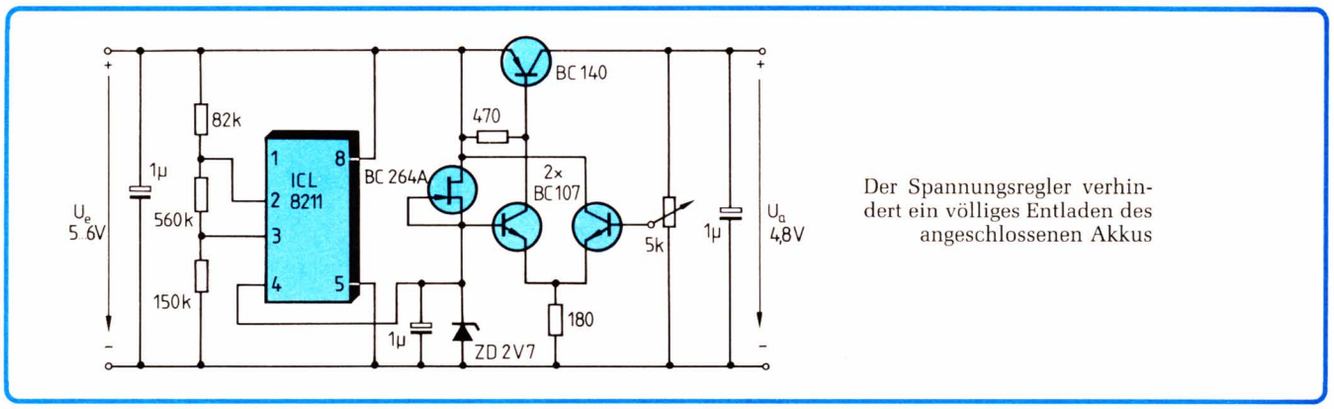
Bild 2. Verlauf der Spannung über dem Ladestrom

Spannungsregler für akkugespeiste Geräte

Tiefentladeschutz – geringer Spannungsabfall

Bei akkugespeisten Geräten muß der Spannungsabfall über dem Spannungsregler so gering wie möglich gehalten werden, da er durch zusätzliche Akkuzellen ausgeglichen werden muß. Integrierte Spannungsregler benötigen Differenzspannungen um 3 V zwischen Ein- und Ausgang und sind daher ungeeignet. Außerdem muß zugunsten einer langen Lebensdauer vermieden werden, daß sich die Akkumulatoren völlig entladen. Die hier vorgestellte Schaltung erfüllt beide Forderungen. Sie ist für eine Ausgangsspannung von 4,8 V in Verbindung mit einem fünfzelligen Nickel-Cadmium-Akku (Spannung im geladenen Zustand 6 V, bei ca. 90prozentiger Entladung 5 V) ausgelegt.

Der im rechten Teil der Schaltung dargestellte Spannungsregler benötigt nur 0,2 V zwischen der ungeregelten Eingangsspannung U_e und der Ausgangsspannung U_a bei Ausgangsströmen um 100 mA. Das wird durch Verwenden eines PNP-Längstransistors in Verbindung mit einem Differenzverstärker möglich. Die Z-Diode stellt die Referenzspannung bereit. Den Diodenstrom liefert der als Stromquelle geschaltete Feldeffekttransistor. Wegen der hier erforderlichen niedrigen Abschnürspannung muß für den FET der Typ BC 264 A verwendet werden. Durch diese Schaltungsmaßnahme ist die Referenzspannung weitgehend unabhängig von Schwankungen der Eingangsspannung. Die Ausgangsspannung wird mit dem Potentiometer eingestellt.



Der Spannungsregler verhindert ein völliges Entladen des angeschlossenen Akkus

Der Tiefentladeschutz ist mit dem integrierten Spannungsdetektor ICL 8211 aufgebaut. Unterschreitet die Akkuspannung 5 V, wird der Ausgang am Anschluß 4 und damit die Referenzspannung des Spannungsreglers auf Massepotential gezogen. Dadurch sperrt der Längstransistor, und der am Ausgang angeschlossene Verbraucher wird abgeschaltet. So wird ein weiteres Entladen des Akkumulators vermieden. Bei der angegebenen Beschaltung des Spannungsdetektors wird der Verbraucher erst wieder angeschaltet, wenn die Akkuspannung 5,5 V überschreitet. Diese Hysterese von 0,5 V verhindert Schwingungen.

Dr.-Ing. Günther Ramm

Automatischer Nullabgleich

Die im *Bild* dargestellte Schaltung gleicht eine Eingangsspannung schnell und präzise auf Null ab. Sie ersetzt damit mechanische Potentiometer, die für diesen Zweck oft eingesetzt werden, und kann auch für Nachlaufsteuersysteme verwendet werden.

Funktion

Bei einer gegebenen Eingangsspannung U_{IN} soll am Ausgang von OP 1 eine Spannung von 0 V erscheinen. Die zum Nullsetzen benötigte Kompensationsspannung wird digital in einem D/A-Umsetzer gespeichert. OP 1 arbeitet als Addier-/Subtrahier-Schaltung und bildet die Differenz der Eingangsspannungen

$$U_{OUT} = U_{IN} - (U_A + U_B)$$

Hierbei ist U_{IN} die Eingangsspannung, die den Nullpunkt darstellen soll. U_A ist die Ausgangsspannung des D/A-Umsetzers; sie stellt zusammen mit U_B die Kompensationsspannung dar. U_A verläuft treppenförmig von 0...2,5 V in 256 Stufen. Somit ergibt sich eine Spannung von etwa 10 mV/Stufe.

Ist die abzugleichende Spannung größer als 2,5 V, kann zu U_A die Vorspannung U_B addiert werden. Die Auflösung von etwa 10 mV/Stufe bleibt erhalten. Bewegt sich U_{IN} beispielsweise innerhalb eines Bereichs von 6...8 V, so verwendet man eine Vorspannung von 5,9 V, und es kann von 5,9...8,4 V abgeglichen werden.

Die Ausgangsspannung von OP 1 vergleicht der Komparator OP 3 mit 0 V. Sobald die Spannung am positiven Eingang kleiner wird als die am negativen, wird über das RS-Flipflop und das Gatter G 3 der Zählvorgang im A/D-D/A-Umsetzer (ZN 425, Ferranti) gestoppt. Der Baustein ZN 425 arbeitet in der dargestellten Form als D/A-Umsetzer; das erreicht man durch Anlegen einer positiven Spannung am Anschluß 2. Durch den Nullabgleichimpuls wird zuerst sein Zählerrücksetz-Eingang (Anschluß 3) auf L-Potential gelegt, das RS-Flipflop liefert am Ausgang von G 1 „H"-Pegel, und die Impulse aus einem Oszillator gelangen über G 3 auf den Takteingang (Anschluß 4) des Umsetzers. Am Analogausgang (Anschluß 14) entsteht eine Treppenspannung, die so lange ansteigt, bis Komparator OP 3 den Stoppbefehl erteilt. OP 2 arbeitet als Spannungsfolger und entkoppelt den Ausgang des Umsetzers. An seinem Ausgang erscheint die Spannung $U_A = n \cdot U_q/\text{Stufe}$, wobei $U_q/\text{Stufe} \approx 10$ mV und n die Anzahl der Quantisierungseinheiten sind.

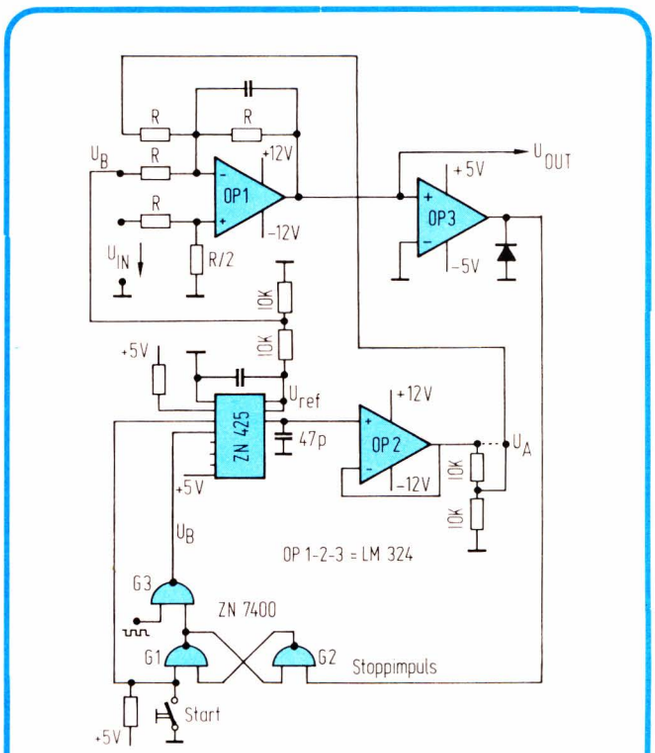
U_{OUT} errechnet sich wie folgt:

$$U_{OUT} = U_{IN} - (U_A + U_B)$$
$$= U_{IN} - (n \cdot U_q/\text{Stufe} + U_B)$$

Beispiel

Die Eingangsspannung liegt in einem Bereich von 1,5...2,3 V. Es ist eine Empfindlichkeit von 5 mV/Stufe verlangt. Wegen der höheren Auflösung teilt man die Ausgangsspannung des D/A-Umsetzers durch zwei. U_A liegt dann zwischen 0 und 1,25 V. Als Vorspannung U_B verwendet man die durch zwei geteilte Referenzspannung U_{ref}. Die Summe aus U_A und U_B überstreicht somit den Bereich 1,25...2,5 V.

Dipl.-Ing. (FH) Karlheinz Vogel
Hans Weber



Diese Schaltung führt auf Tastendruck einen automatischen Nullabgleich durch (die in Farbe eingezeichneten Widerstände und Verbindungen beziehen sich auf das im Text erwähnte Beispiel).

Drehstrom für kollektorlose Motoren digital erzeugt

Drehstrom ist in erster Linie wichtig zum Betrieb kollektorloser Motoren. Dabei ist das Problem des Anfahrens unter Last bei niedrigen Drehzahlen durch das Anwenden digitaler Stromerzeugung besonders elegant gelöst.

In der ELEKTRONIK erschienen bereits zwei Beiträge, die sich mit dieser Technik befaßten [1, 2], der Zweck dieses „eckigen" Drehstroms wurde jedoch nicht erläutert. Auch fehlten Angaben über die notwendigen technischen Eigenschaften außer der der Phasenverschiebung von Leiter zu Leiter von 120°. Die wohl wichtigste Eigenschaft ist: Die Summe der Momentanwerte der Spannungen in den drei Leitungen ist zu jedem Zeitpunkt null. Nur unter dieser Bedingung ist (bei Sinus) ein gleichmäßiges Drehmoment erzeugbar, und diese Bedingung macht die praktische Bedeutung des Drehstroms aus. Da bei digitaler Leistungssteuerung nur ein Plus- und ein ebensogroßes Minuspotential zur Verfügung stehen, muß zu jedem Zeitpunkt eine der drei Leitungen stromlos sein; andernfalls wäre die Summe nicht null, wenn nämlich zwei Leitungen gleichzeitig das gleiche Potential führten (was bei [1] und [2] der Fall ist). Daraus folgt, daß auf den drei Leitungen des digitalen Drehstroms zyklisch spannungs- und stromlose Pausen eintreten müssen. Für Ein- und Zweiphasenwechselstrom wurde eine derartige Digitalschaltung bereits beschrieben und auch begründet, weshalb Strompausen während der Kommutierung zweckmäßig sind beim Betrieb von Motoren [3].

Nach dem bisher Gesagten muß ein digital erzeugter Drehstrom entsprechend dem Diagramm in *Bild 1* verlaufen, wobei Ph_1, Ph_2, Ph_3 die drei Phasen bedeuten. Die Periode T ist ebenfalls in sechs Teile geteilt wie bei [1] und [2]. Der Stromfluß ist in jedem der sechs Teile durch einen Pfeil (plus nach minus) angedeutet. In jedem Sechstel der Periode führen jeweils nur zwei Leiter gleichzeitig entgegengesetztes Potential, so daß die Summe der Spannungen stets null ist – wie gefordert. Es ist klar, daß die geforderten Zeitfunktionen Ph_1, Ph_2, Ph_3 nicht ohne Umcodierung aus irgendeinem Modulo-6-Zähler gewonnen werden können; daher ist es grundsätzlich gleichgültig, welchen Zählertyp man wählt. Am einfachsten ist wohl ein 3stufiger Johnson-Zähler, der mit der CMOS-Schaltung 4018 ohne zusätzliche Bauelemente realisierbar ist (in [2] ist auch ein Johnson-Zähler dargestellt; eine dort eingebaute Gatterschaltung gegen Falschzählen ist im 4018 bereits integriert). Die Funktion eines Johnson-Zählers wird als bekannt vorausgesetzt, seine drei Ausgänge werden entsprechend der Schaltung des 4018 mit $\overline{Q1}$, $\overline{Q2}$ und $\overline{Q3}$ bezeichnet. Die *Tabelle* zeigt die Zustände von $\overline{Q1}$, $\overline{Q2}$ und $\overline{Q3}$, in den nächsten drei Spalten die gewünschte Funktion der Drehstromausgänge Ph_1, Ph_2 und Ph_3 sowie in den letzten sechs Spalten die Taktfolge von sechs Hilfsfunktionen u...z, die in *Bild 2* wiederzufinden sind. Die Hilfsfunktionen werden aus $\overline{Q1}$, $\overline{Q2}$, $\overline{Q3}$ mit Hilfe von drei Invertierern und sechs NOR-Gattern erzeugt. Da die Schaltung zum Betrieb von Motoren gedacht ist, sind Komplementärpaare von Leistungstransistoren vorgesehen, in der Weise, daß die Digitalschaltungen mit einer geringeren Spannung betrieben werden können (z. B. 5 V) als die Leistungsendstufen, welche die Ausgänge Ph_1,

Tabelle der Ausgangszustände

	Johnson-Zähler											
Takt	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	Ph_1	Ph_2	Ph_3	u	x	v	y	w	z
1	L	H	H	H	L	–	H	L	L	H	L	L
2	L	L	H	H	–	L	H	L	L	L	L	H
3	L	L	L	–	H	L	L	L	H	L	L	H
4	H	L	L	L	H	–	L	H	H	L	L	L
5	H	H	L	L	–	H	L	H	L	L	H	L
6	H	H	H	–	L	H	L	L	L	H	H	L

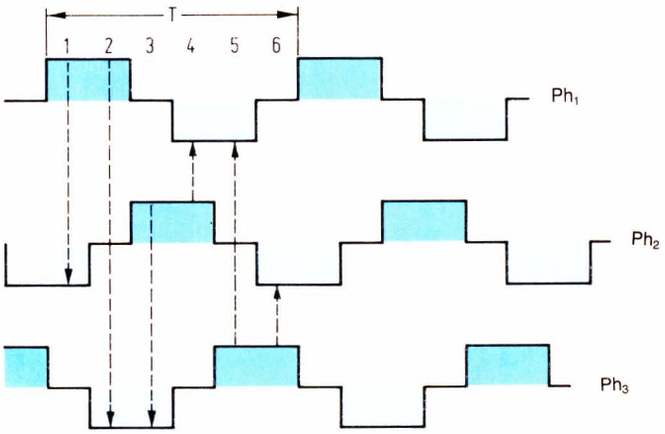


Bild 1. Digitaler Drehstrom, bei dem die Summe der Ströme zu jedem Zeitpunkt null ist. Die Pfeile geben an, zwischen welchen beiden Phasen Strom fließt

Ph_2, Ph_3 speisen. Dabei ist gemeinsamer Minuspol für beide Betriebsspannungen vorausgesetzt. Eine „künstliche Mitte", wie in [1] beschrieben, ist nicht erforderlich, weil in der stromlosen Pause eines Ausgangs weder der NPN- noch der PNP-Transistor leitend ist (z. B. u=x=L). Überspannungen, die durch das plötzliche Unterbrechen des Stroms in den Motorspulen entstehen können, werden durch die Dioden am Ausgang abgeleitet.

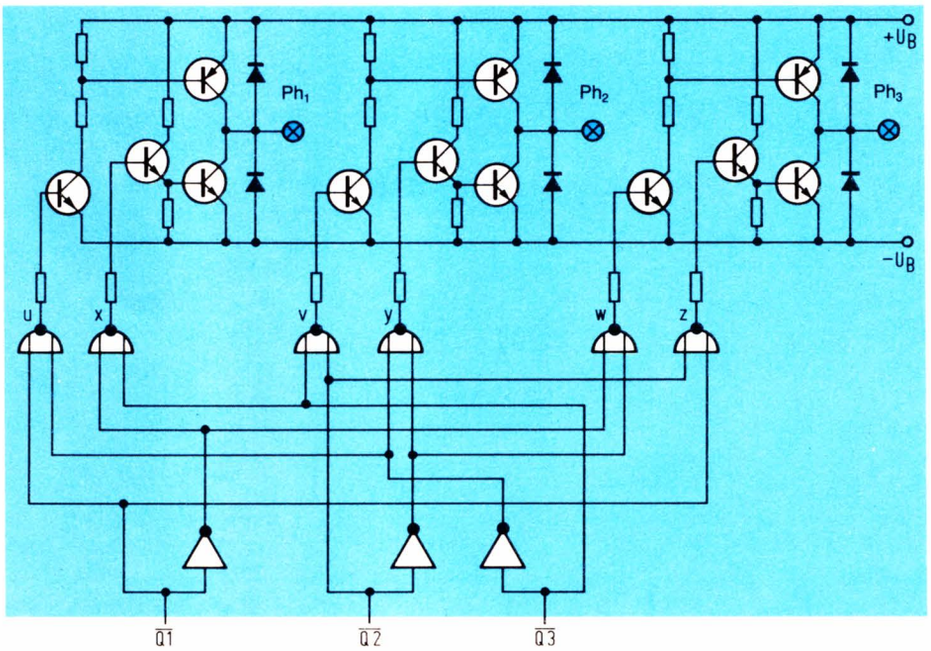


Bild 2. Schaltung zum Betrieb kollektorloser Drehstrommotoren

Eine Dimensionierung der Treiber- und Endstufen ist nicht angegeben, weil dies sowie die Wahl der Betriebsspannung von den Daten des verwendeten Motors abhängt; die gezeichneten Widerstände dienen der Begrenzung der Basisströme bzw. der Ableitung der Basiskapazitäten, wie allgemein bekannt. Die Dioden an den Ausgängen müssen die gleiche Stromstärke vertragen können wie die Leistungstransistoren.

Dr. Winfried Wisotzky

Literatur

1 *Michaelidis, K.:* Digitaler Drehstromgenerator 2 Hz...50 kHz. ELEKTRONIK 1976, H. 11, S. 143...144.

2 *Weitzel, M.:* Einfacher digitaler Drehstromgenerator. ELEKTRONIK 1977, H. 7, S. 70.

3 *Wisotzky, W.:* Digital gesteuerte Wechselrichter. ELEKTRONIK 1973, H. 11, S. 410...411.

Elektronische Drehfeldüberwachung

Drehfeldüberwachungen verhindern den Betrieb von Drehstrommotoren in der falschen Drehrichtung. Diesen Zweck erfüllt mit minimalem Aufwand die vorliegende Schaltung, wenn sie einer elektronischen Steuerung zugeordnet wird.

Wenn Maschinen oder Geräte an einem Drehstromnetz mit falscher Phasenfolge betrieben werden, sind oft Verletzungen, Schäden oder Störungen die Folge. Drehfeldüberwachungen verhindern das, indem sie die Einschaltbefehle blockieren, falls die Phasenfolge nicht stimmt. Ist in Geräten aus anderen Gründen bereits eine logische Steuerung vorhanden, kann hier die besonders aufwandarme Schaltung nach *Bild 1* eingesetzt werden.

Vorteilhafterweise wird an die Klemmen Ph_1, Ph_2 und $\overline{Ph_3}$ eine über Strom- oder Spannungswandler gewonnene Niederspannung angeschlossen. Für den Eingang $\overline{Ph_3}$ gewinnt man dabei gleichzeitig auf einfache Weise das gegenüber der Netzphase invertierte Signal. Von den vielen Möglichkeiten der Spannungsanpassung für Ph_1, Ph_2 und $\overline{Ph_3}$ ist im Bild 1 eine als Beispiel gezeigt.

Die Referenzspannung U_{Ref} am invertierenden Eingang des Komparators leitet sich aus der Wechselspannung Ph_1 mit Hilfe des RC-Gliedes (R_1, R_2 und C_1) und der nur während der negativen Halbwelle wirksamen Begrenzerdiode D_4 ab. Die Meßspannung $U_{Meß}$, gebildet aus den positiven Halbwellen der Phasen Ph_1, Ph_2, der invertierten Phase $\overline{Ph_3}$ sowie dem Spannungsteiler aus R_3 und R_4, gelangt auf den nichtinvertierenden Eingang des Komparators. Dessen Ausgang gibt bei falscher Phasenfolge das Signal DREHFEHL-N ab, das z. B. von einer TTL-Steuerung ausgewertet werden kann.

Die Spannungen der Drehfeldüberwachung bei richtiger Phasenfolge sind in *Bild 2a* zu sehen. *Bild 2b* zeigt den Verlauf bei falscher Phasenfolge, wenn also an den Eingangsklemmen des Motors die Spannungen in der Reihenfolge Ph_1, Ph_3 und Ph_2 auftreten könnten. In diesem Fall wird die echte Phase Ph_2 invertiert und

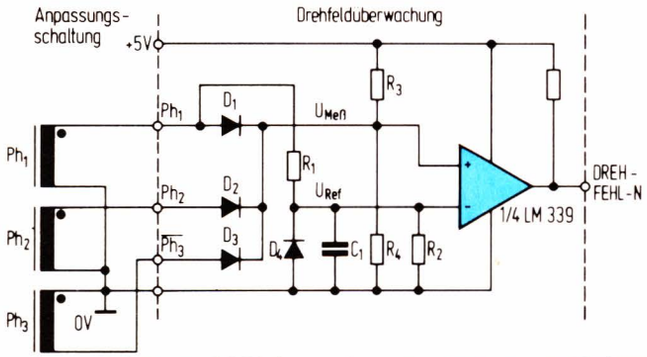
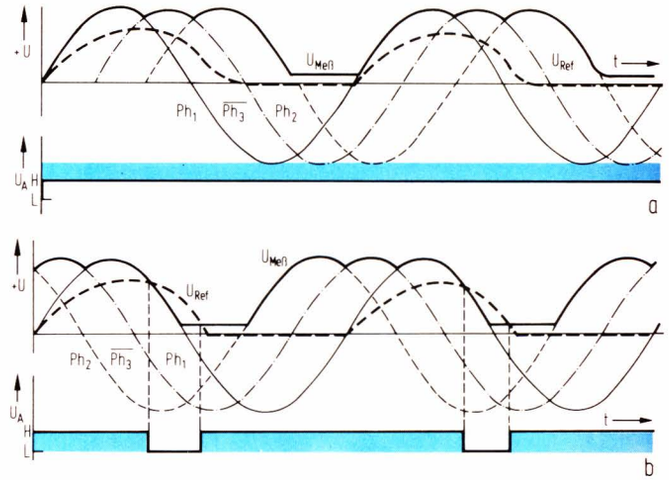


Bild 1. Drehfeldüberwachung mit Anpassungsschaltung

Bild 2. ▶ Spannungsverlauf in der Drehfeldüberwachung, a) bei richtiger Phasenfolge, b) bei falscher Phasenfolge



die echte Phase Ph_3 nichtinvertiert auf den Schaltungseingang gegeben. Dadurch erscheint die Spannungslücke der Meßspannung $U_{Meß}$, wenn die Referenzspannung U_{Ref} noch hoch ist. Zu diesem Zeitpunkt wird die Meldung DREHFEHL-N = N an die Gerätesteuerung gesendet.

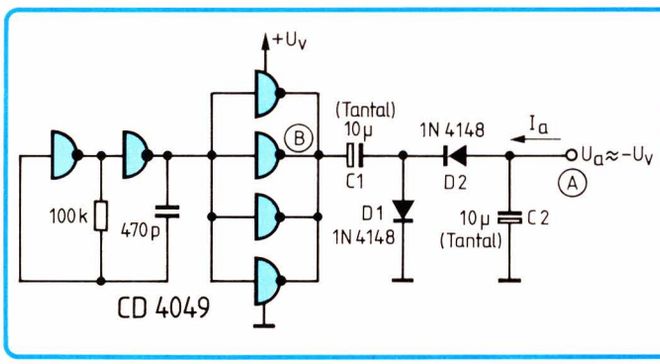
Weil nur bei der in Bild 2a wiedergegebenen Phasenfolge die Referenzspannung U_{Ref} stets negativer als die Meßspannung $U_{Meß}$ ist, erfolgt bei jeder anderen Phasenfolge das Blockieren der Geräteeinschaltung über das Signal DREHFEHL-N.

Ing. (grad.) Josef Immler

Gleichspannungs-Invertierung mit CMOS-Gatter

Benötigt man auf einer Platine mit digitalen Schaltungen zusätzlich einen Operationsverstärker, dann fehlt häufig die dazu erforderliche negative Versorgungsspannung. Diese kann mit der im *Bild 1* dargestellten Schaltung aus der vorhandenen positiven Versorgungsspannung abgeleitet werden. Der Aufwand ist gering, es werden nur ein CMOS-Baustein und sechs diskrete Bauelemente benötigt. Zur Funktion: zwei Inverter des CMOS-Bausteins CD 4049 werden als Oszillator beschaltet, der mit ca. 10 kHz schwingt. Der Oszillator treibt die vier verbleibenden parallelgeschalteten Inverter. Dadurch wird der Schaltungspunkt Ⓑ alternierend für jeweils ca. 50 µs relativ niederohmig mit der Versorgungsspannung U_v bzw. mit Masse verbunden. Solange Ⓑ mit U_v verbunden ist, lädt sich C 1 in der angegebenen Polarität über D 1 auf. Springt dann das Potential von Ⓑ auf Masse, gibt C 1 einen Teil seiner Ladung über D 2 an C 2 ab; am Ausgang Ⓐ ergibt sich eine negative Spannung U_a, die dem Betrag nach annähernd so groß wie U_v ist, vermindert um die Schwellspannungen der Dioden D 1 und D 2. Die Abhängigkeit der Ausgangsspannung U_a vom Laststrom I_a bei einer Versorgungsspannung U_v von 12 V ist *Bild 2* zu entnehmen. Die Welligkeit der Ausgangsspannung ist bei Lastströmen bis 15 mA geringer als 100 mV, der Wirkungsgrad beträgt für I_a = 15 mA etwa 60 %. Die Schaltung kann bezüglich Wirkungsgrad und Höhe der Ausgangsspannung noch verbessert werden, wenn für D 1 und D 2 Schottky-Dioden verwendet werden.

Dr.-Ing. Günther Ramm



◀ Bild 1. Schaltung zur Gleichspannungs-Invertierung

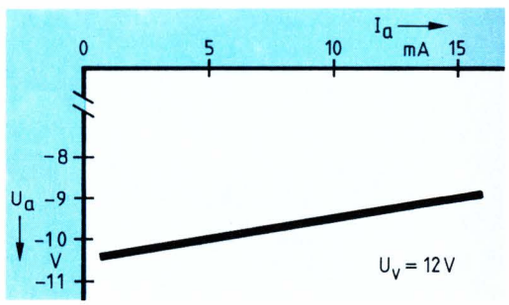


Bild 2. ▶ Ausgangskennlinie

CMOS-Bausteine ersetzen Vielfach-Potentiometer

Anwendung: Aktives Filter höherer Ordnung

Bei elektronischen Schaltungen taucht gelegentlich das Problem auf, daß mehrere Widerstände gleichzeitig verändert werden sollen, wobei die Widerstandsverhältnisse konstant bleiben müssen. Ein typischer Fall dafür ist ein aktives Filter höherer Ordnung wie in *Bild 1*, dessen Grenzfrequenz variiert werden soll, ohne daß sich die Filtercharakteristik (Bessel, Butterworth, Tschebyscheff...) dabei ändert. Mit Potentiometern ist dies nur schlecht zu lösen. Die spielfreie Kopplung von mehr als zweien erfordert hohen mechanischen Aufwand; billige Standard-Potentiometer besitzen schlechte Gleichlaufeigenschaften, Präzisionsausführungen sind sehr teuer. Bei Fotowiderständen und FETs sind die Exemplarstreuungen noch viel größer, letztere erzeugen zudem auch noch nichtlineare Verzerrungen.

Sehr viel einfacher läßt sich das Problem mit Hilfe einiger CMOS-Bausteine lösen. Das Funktionsprinzip ist folgendes: Eine Reihenschaltung aus einem Widerstand und einem Schalter, der ständig schnell ein- und ausgeschaltet wird (in der Praxis als elektronisch gesteuerter Schalter ausgeführt), wirkt für Signalfrequenzen, die wesentlich kleiner sind als die Schaltfrequenz, wie ein Widerstand mit höherem Wert. Bei einem Tastverhältnis von 50 % wird der Wert verdoppelt, bei 25 % vervierfacht usw. Variation des Tastverhältnisses äußert sich also in einer Widerstandsänderung.

Bild 2 zeigt, wie dieses Prinzip auf die Schaltung von Bild 1 anwendbar ist. Als Rechteckgenerator dient das Doppel-Monoflop CD 4098B; das Tastverhältnis läßt sich mit dem Potentiometer zwischen etwa 5 % und 95 % variieren. Die Frequenz (etwa 100 kHz) ändert sich dabei praktisch nicht. Mit der angegebenen Dimensionierung läßt sich die Grenzfrequenz des Tiefpaßfilters kontinuierlich von etwa 400 Hz...7 kHz einstellen. Dimensionierungen für andere Grenzfrequenzen sind den ELEKTRONIK-Arbeitsblättern 79 und 98 [1, 2] zu entnehmen. Der zusätzliche passive Tiefpaß am Ausgang der Schaltung dient dazu, Reste der Schaltfrequenz wegzufiltern und hat auf den Signalfrequenzgang praktisch keinen Einfluß.

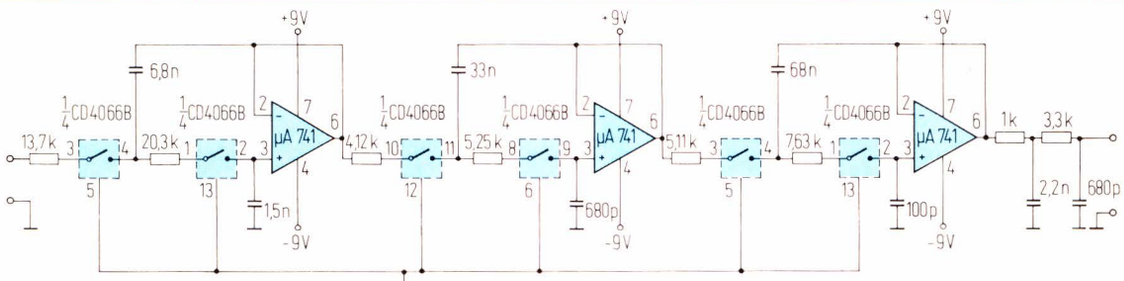
Dipl.-Phys. Helmuth Lemme

Literatur

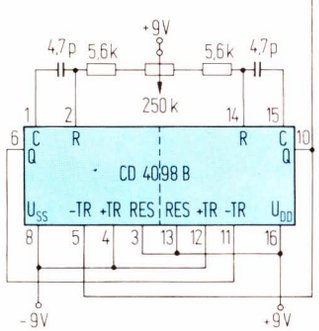
1 Berechnung aktiver Hoch- und Tiefpaßfilter mit Tschebyscheff-Charakteristik; Arbeitsblatt Nr. 79. ELEKTRONIK 1974, H. 1, S. 33...34 und H. 2, S. 69...70.

2 Aktive Hoch- und Tiefpaßfilter mit handelsüblichen Bauelementen; Arbeitsblatt Nr. 98. ELEKTRONIK 1976, H. 9, S. 73...74.

3 RCA-Datenbuch „COS/MOS Integrated Circuits". 1978.



▲ Bild 2. Tiefpaß mit variabler Grenzfrequenz von 400 Hz...7 kHz



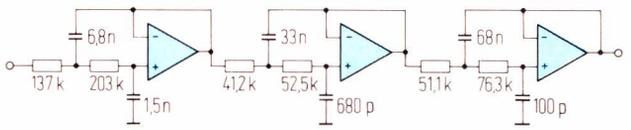


Bild 1. Aktiver Tiefpaß 6. Ordnung nach Tschebyscheff mit einer Grenzfrequenz von 1 kHz [1]

Einfacher DCF77-Empfänger

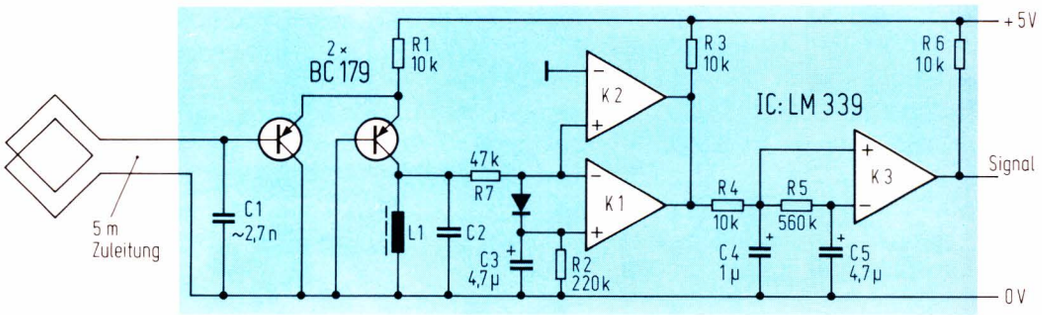
Der im *Bild* dargestellte Empfänger ist Bestandteil einer Funkuhr mit einem Einchip-Mikroprozessor und hat sich vielfach bewährt.

Eine Rahmen- oder Ferritantenne bildet mit C 1 den Eingangskreis eines Differenzverstärkers. Das verstärkte Signal wird am Ausgangskreis L 1/C 2 abgegriffen und den Komparatoren K 1, K 2 zugeführt. Es wird der Vierfach-Komparator LM339 verwendet, der nur eine Versorgungsspannung benötigt und Eingangssignale bis 0 V verarbeiten kann. K 1 vergleicht das Eingangssignal mit 0 V, schaltet also im Nulldurchgang. K 2 erzeugt durch den Eingangsstrom des Minus-Eingangs über R 2 eine kleine positive Spannung und vergleicht das Eingangssignal mit dieser Vorspannung. Er erzeugt dadurch kürzere Impulse als K 1, deren Länge vom Pegel des Eingangssignals abhängt.

Die Komparatoren haben „Open Collector"-Ausgänge und sind so beschaltet, daß die Differenz der Ausgangsimpulse gebildet wird. Es werden also Impulse erzeugt, deren Länge den Pegel des Eingangssignals wiedergibt.

Ein erster Integrator mit R 4/C 4 bildet das Eingangssignal für den Komparator K 3, ein zweiter Integrator R 5/C 5 bildet daraus den Gleichstrommittelwert als Referenzspannung für K 3. Der Ausgang von K 3 ist das decodierte Signal. Mit R_s kann die Empfindlichkeit festgelegt werden. Es genügen wenige Millivolt am Ausgang des Differenzverstärkers. Durch die Diode wird die Spannung über R 2 bei hohen Eingangspegeln an das Eingangssignal angepaßt.

Dipl.-Ing. W. Welwarsky



DCF-77-Empfänger mit Demodulator: Rahmenantenne, quadratisch mit einer Seitenlänge von 50 cm, ca. 30 Windungen, L1 = 11-mm-Schalenkern, ca. 80 Windungen; C2 ca. 150 pF; Antenne mit C1 sowie L1 mit C2 auf 77,5 kHz abstimmen

Belichtungsgerät für die Dunkelkammer

Es wurde eine Schaltung entwickelt, die sich in Zeitstufen einstellen läßt, welche ¼ Blende entsprechen. Das Kernstück der Schaltung ist der Baustein AD 7524JN, der als logarithmischer Analog/Digital-Umsetzer beschaltet wurde.

Als Hobbyfotograf auf der Suche nach einem Gerät für die Lichtsteuerung in der Dunkelkammer stößt man auf eine Menge brauchbarer, komfortabler Einrichtungen. Doch hat man den Eindruck, daß alle diese Apparate nicht für Fotografen entwickelt wurden. Eine Schaltuhr mit digitaler Sekundenanzeige und -einstellung ist zum Spielen wunderbar, aber wenn am Vergrößerungsapparat eine Blende verändert wird, muß man einen Taschenrechner nehmen, um die neue Einstellzeit zu ermitteln, oder die Lichtmessung wiederholen. Wird ein Probebild beurteilt, dann sieht man, eine halbe Blende mehr oder weniger müßte belichtet werden. Wie groß ist wohl eine halbe Blende bei 20 s Belichtungszeit?

Das hier vorgestellte Gerät besitzt zwei Schiebepotentiometer (*Bild 1*). Mit dem linken wird die Helligkeit der Anzeigeeinheit eingestellt, da speziell bei Farbvergrößerungen auch geringes Streulicht schon stören kann. Das zweite dient zur Korrektur verschiedener Papiersorten. Die Kalibrierung erfolgt einmalig durch Probestreifen.

Zur Anzeige der Zeit sind 32 Leuchtdioden in acht Zeilen zu vier Spalten angeordnet. Pro Zeile ändert sich die Zeit entsprechend einer Blende, pro Spalte einer ¼-Blende. Mit 32 Blendenwerten umfaßt man

damit den Bereich von acht dualen Stellenwerten (1...256). Sieben Leuchtfelder zeigen den Zustand des Gerätes an, der mit den Tasten 1...4 verändert wird.

Das entscheidende Schaltungsdetail zeigt *Bild 2*. Der multiplizierende D/A-Umsetzer liegt im Gegenkopplungskreis eines Differenzverstärkers und bildet mit ihm einen digital regelbaren Verstärker. Am Minus-Eingang des Differenzverstärkers liegt die farbkorrigierte Fotodiode BPW 21, geschaltet als Fotozelle. Im Gegenkopplungskreis liegt außerdem das Korrekturpotentiometer. Der Ausgang des Verstärkers wird durch einen Fensterdiskriminator mit dem Sollwert verglichen. Die beiden digitalen Ausgänge (zu groß=ZGR/zu klein=ZKL) des Fensterdiskriminators steuern zwei Multivibratoren, die den Meßwertzähler hinauf bzw. herunter zählen. Die drei höherwertigen Bits des Meßwertzählers (4, 8, 16) werden über ein Antilog-Element (1 aus 8) an den Digital/Analog-Umsetzer gelegt. Dadurch erreicht man einen logarithmischen Verlauf über acht duale Stellenwerte. Die Zwischenstufen (1/4 Blende) erreicht man durch Spannungsteiler am Fensterdiskriminator über die Bits 1 und 2 des Meßwertzählers. Der an den digitalen Eingängen des D/A-Umsetzers anstehende Wert entspricht den Blendenstufen und wird in den Belichtungszähler übernommen.

Peter F. Kadrmas

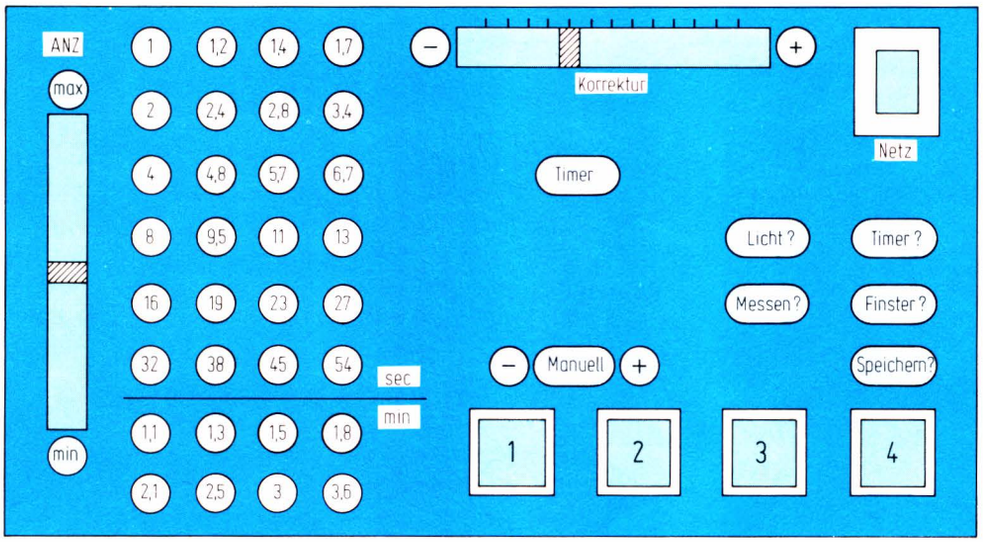


Bild 1. Bedienungs- und Anzeigeeinheit des Belichtungsautomaten

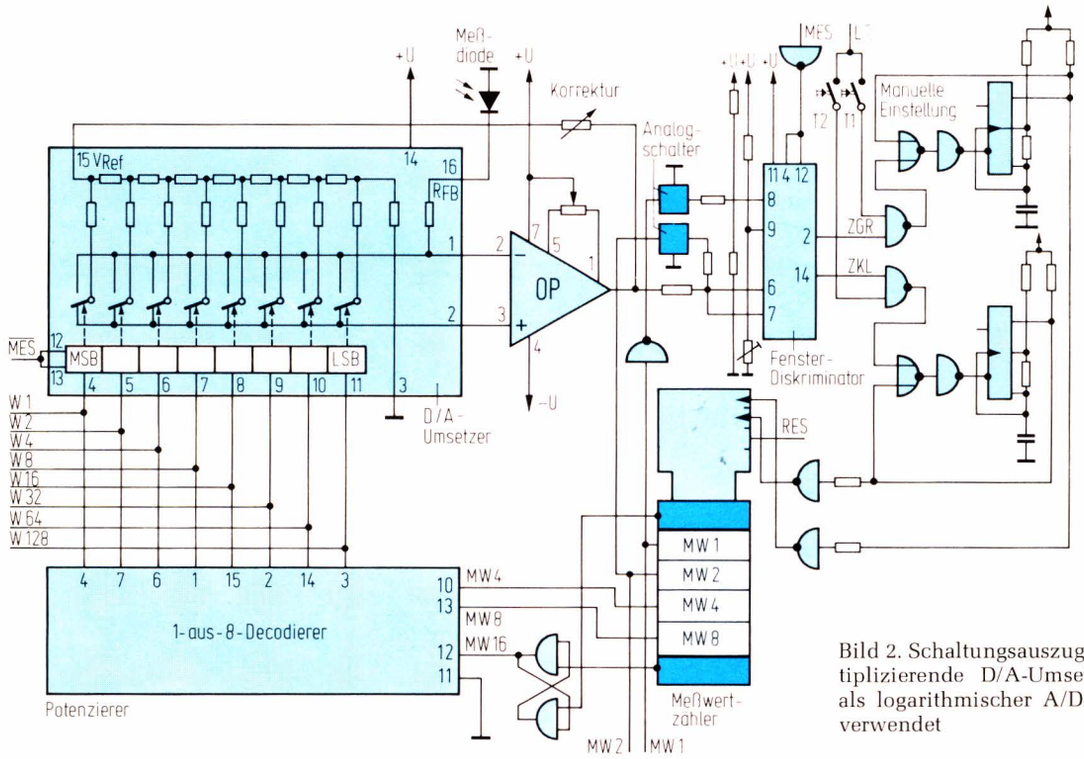


Bild 2. Schaltungsauszug: Der multiplizierende D/A-Umsetzer wird als logarithmischer A/D-Umsetzer verwendet

Aussteuerautomatik ohne Dynamikverlust

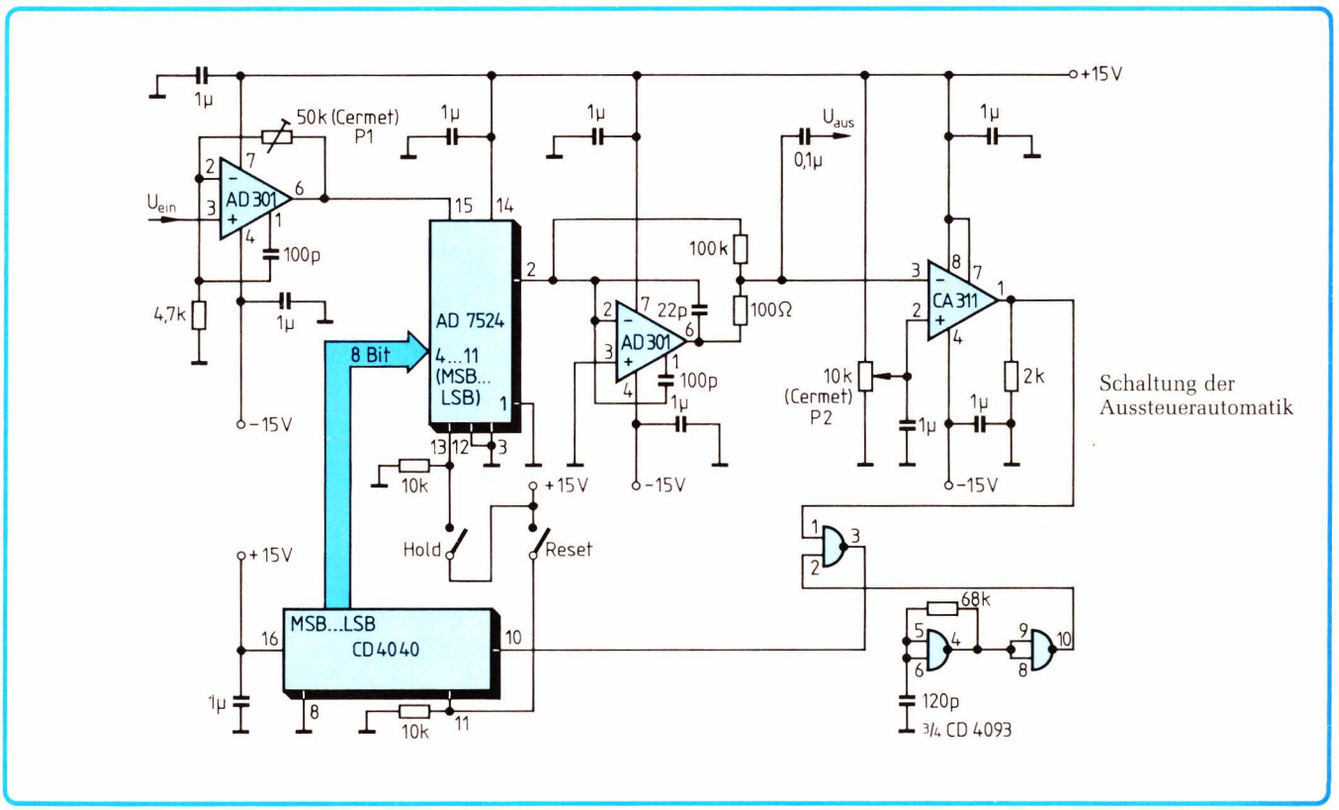
Die Schaltung arbeitet ohne Dynamikverlust genauso wie die Handaussteuerung, ist aber dieser geschwindigkeitsmäßig überlegen und bietet mehr Komfort.

Ähnlich wie bei der Handaussteuermethode muß der Dynamikverlauf des aufzuzeichnenden Signals bekannt sein. Der Aufnahmeprozeß gliedert sich so in zwei Stufen:
– Messen und Ermitteln des Aussteuergrades;
– Aufzeichnen.

Das Signal U_{ein} wird zuerst vorverstärkt (AD 301); eine Pegelanpassung kann mit P 1 vorgenommen werden. Nach Betätigen der „Reset"-Taste wird der Binärzähler CD 4040 (acht Stellen verwendet) auf 0 gesetzt. Die MDA-Einheit (Kombination aus multiplizierendem D/A-Umsetzer AD 7524 und OP AD 301) hat minimale Dämpfung. Am Ausgang der MDA-Einheit befindet sich ein schneller Komparator CA 311. Wird die Komparatorschwelle überschritten, öffnet sich das erste Tor (1/4 CD 4093), und der Zähler läuft aufwärts. Die Dämpfung der MDA-Einheit steigt (Regelumfang 48 dB). Dieser Vorgang läuft so lange ab, bis die Spitzen des Ausgangssignales den vorgegebenen Pegel (festgelegt durch P 2) nicht mehr überschreiten. Falls später neue größere Spitzen auftreten, tritt dieser Regelvorgang wieder in Kraft. Die Taktfrequenz mit ca. 250 kHz des Generators (1/2 CD 4093) ist so bemessen, daß der gesamte Regelumfang in etwa 1 ms durchlaufen werden kann.

Ist die Vorabmessung abgeschlossen, wird der Schalter „Hold" betätigt. Das Register der MDA-Einheit hält jetzt den letzten Zählerstand, der ja ein Maß für den Aussteuergrad ist, fest. Jetzt kann mit der Aufnahme begonnen werden.

Ottmar Beierl



Schaltung der Aussteuerautomatik

„Watch-dog"-Schaltungen erkennen µP-Systemstörungen

Der Einsatz von Zusatzschaltungen zur Erkennung von Systemstörungen ist immer dann erforderlich, wenn Folgeschäden durch fehlerhaften Betrieb möglich sind. Werkzeugmaschinen-, Aufzugs- oder Ampelsteuerungen sind Beispiele dafür. Dieser Beitrag zeigt Lösungsansätze, die eine einfache Erkennung von Fehlzuständen durch sogenannte Watch-dog-Schaltungen ermöglichen.

1 Störungen in µP-Systemen

Störungen in Mikroprozessorsystemen können durch interne und externe Einflüsse auftreten und eine zeitlich begrenzte oder bleibende Funktionsstörung bewirken. Kritisch sind dabei besonders die Störungen, die fehlerhafte Ausgaben bewirken und somit Folgeschäden auslösen können. Es können folgende Ursachen zu falschen Ausgaben im µP-System führen:

- Fehlerhafte Eingabedaten, verursacht durch externe Störungen oder Bauteileausfälle;
- Bauteileausfälle oder interne Störungen, verursacht durch die endliche Zuverlässigkeit von Bauteilen oder nicht ausgereiften Hardwareentwurf (z. B. Übersprechen usw.);
- Falsche Programmsequenz, verursacht durch Netzstörungen, falsche Eingabedaten, Bauteileausfälle oder versteckte Softwarefehler.

Störungen durch falsche Eingabedaten können mit geeigneten Hardware- und Softwaremaßnahmen, wie z. B. Funktionstestmöglichkeiten der Eingabekanäle (Erkennung von Bauteileausfällen) oder Mehrfachabfragen (Erkennung von externen Störungen), frühzeitig erkannt und unterdrückt werden.

Bauteileausfälle im System sind häufig nur mit hohem Aufwand (Redundanz) erkennbar. Eine günstige Methode, die Funktion der Hardware zyklisch zu überprüfen, ist der Einsatz von Selbstdiagnostikprogrammen [1]. Besondere Beachtung ist der Störsicherheit des Netzteils zu schenken, denn hier verursachen Störungen oft eine falsche Programmsequenz („der Mikroprozessor läuft in den Wald") und somit (meist nicht erklärbare) Systemstörungen. So ist der Einsatz von guten Netzfiltern, abgeschirmten Transformatoren, getakteten Netzteilen mit Spannungsreserve, Netzausfallerkennungs- und Spannungsüberwachungsschaltungen besonders zu empfehlen. Auch sollte ein Störungstest mit geeigneten Netzstörsimulatoren niemals ausgelassen werden, um spätere unliebsame Überraschungen zu vermeiden.

Um die Kosten in Hard- und Software in einem wirtschaftlich vertretbaren Rahmen zu halten, ist der Einsatz von Zusatzschaltungen, z. B. Watch-dog-Schaltung, empfehlenswert.

2 Was ist eine Watch-dog-Schaltung?

Die wörtliche Übersetzung der englischen Bezeichnung Watch-dog ist Wachhund und deutet bereits an, daß die Schaltung etwas be- oder überwachen soll. Bei der Anwendung in Mikrocomputersystemen versteht man darunter in der Regel, daß die Schaltung den Programmablauf oder die Ausgabedaten überwacht. Bei Erkennung von Fehlerzuständen werden dann Aktionen eingeleitet, welche einen definierten Anfangszustand herstellen, um das System erneut zu starten, zu blockieren oder falsche Ausgaben zurücksetzen.

Der Aufwand in Hard- und Software ist abhängig von der gewünschten Reaktionszeit und dem Sicherheitsgrad, mit dem Fehlzustände erkannt werden.

Am Beispiel einer Ampelanlage läßt sich dies sehr gut erklären. Kommt es durch Störungen zu fehlerhaften Zuständen der Ampel, so wirken sich diese durch die Reaktionszeit der Verkehrsteilnehmer erst frühestens nach 200 ms aus. Dies bedeutet für die Watch-dog-Schaltung, daß eine kombinierte Hardware- (z. B. ein retriggerbares Monoflop SN74LS123N) und Softwarelösung mit geringem Aufwand möglich ist.

Nachfolgend werden die Realisierung des sogenannten Watch-dog-Zeitgebers mit Reaktionszeiten im Millisekundenbereich und die Watch-dog-Sperre mit Zeiten im µs-Bereich, beschrieben.

3 Der Watch-dog-Zeitgeber

Die einfachste Möglichkeit einer Watch-dog-Schaltung ist der Zeitgeber, der mit dem System-Reset gestartet wird und vom Programm zyklisch vor Ablauf der eingestellten Zeit zurückgesetzt werden muß. Mit dem Rücksetzen des Zeitintervalls wird dieses automatisch wieder gestartet.

3.1 Schaltungsaufbau

Die Schaltung im *Bild 1* zeigt den Aufbau eines zweistufigen Watch-dog-Zeitgebers, der mit dem retriggerbaren Monoflop SN74LS123N aufgebaut ist. Zweistufig deshalb, weil nach nichterfolgtem Rücksetzen des ersten Zeitintervalls t_1 ein erneuter Systemstart über einen nichtmaskierbaren Interrupteingang, wie z. B. den LOAD-Eingang, versucht wird. Mit dem Ablauf der ersten Monoflop-Zeit (MF1 in Bild 1) wird ein zweites Monoflop (MF2) gestartet. Bleibt der Restart-Versuch erfolglos, wird nach Ablauf von t_2 ein HOLD ausgelöst, der das System blockiert. Um eine ausreichende Systemflexibilität zu erlangen, sind in der Schaltung Steckbrücken vorgesehen. Mit Ablauf der ersten Zeit t_1, wird automatisch mit OUTCLR der Ausgabeport zurückgesetzt. *Bild 2* zeigt den Zeitablauf bei korrekter und fehlerhafter Arbeitsweise des Mikrocomputersystems.

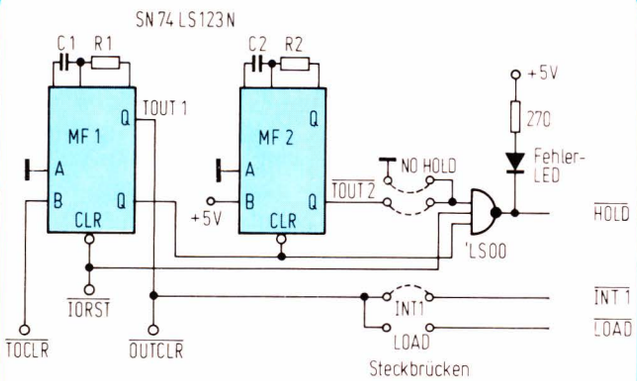


Bild 1. Schaltung eines zweistufigen Watch-dog-Zeitgebers

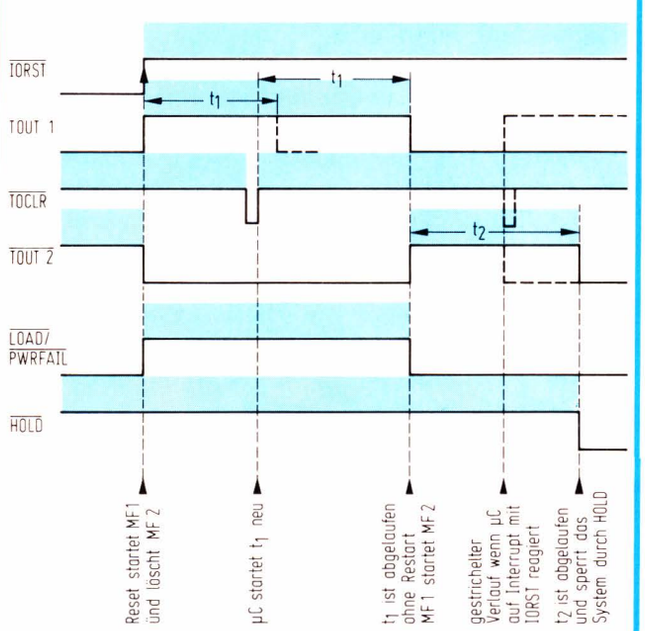


Bild 2. Zeitdiagramm des Watch-dog-Zeitgebers

3.2 Programmierung

Bei der Programmerstellung muß sichergestellt werden, daß vor Ablauf der Zeit t_1 (Bild 2) das Monoflop wieder neu gestartet wird. Kommt der Mikroprozessor dann durch Systemstörungen „aus dem Tritt", wird das System neu gestartet. Diese einfache Methode schützt vor einer „Schleife ohne Ende", die z. B. durch Ausführung nicht vorhandener Speicheradressen vorkommt. Kehrt der Mikroprozessor nach Auftreten der Störung in das normale Programm zurück, wird der Zeitgeber eventuell wieder zurückgesetzt. Besitzt der Mikroprozessor einen Befehlsvorrat der positionsunabhängige Programmausführung erlaubt (*position independent program execution*), kann diese weitgehend softwaremäßig verhindert werden. *Bild 3* zeigt die grobe Programmstruktur für den Typ TMS9900. Das Rücksetzen des Watch-dog-Zeitgebers ist hier als Unterprogramm (Aufruf mit BL@TIMOUT) aufgebaut. Das Unterprogramm prüft vor dem Rücksetzen des Zeitgebers, ob in einem vereinbarten Speicherplatz (LASTPC) der gleiche Inhalt steht, wie in der Adresse, die dem Unterprogrammaufruf folgt (LPC(n-x)). Bei der Initialisierung des Anwenderprogrammes lautet die Befehlssequenz für den TMS 9900:

```
        LI    RX, OPRT      Lade B * R11
                                Rücksprung
        BL    RX            Führe Rücksprung
                            in RX aus
LPCn    MOV   R11,          Speichere LPCn
              @ LASTPC
```

```
        BL     TIMOUT        RUFE TIMEOUT ROUTINE AUF(Zeitpunkt tn-1)
        DATA   LPC (n-1)     LETZTE GENERIERTER PC-ADRESSE
                 T
          ANWENDER           ca. t 1/2 Zeitabstand
          PROGRAMM
                 ⊥
        LI     RX,OPRT       LADE  B  R11 Rücksprung
        BL     RX            FÜHRE RÜCKSPRUNG IN RX AUS
PCn     MOV    R11  LASTPC   SPEICHERE LPCn
                 T
          ANWENDER           ca. t 1/2 Zeitabstand          t1min
          PROGRAMM
                 ⊥
        BL     TIMOUT        RUFE TIMOUT-RÜCKSETZ ROUTINE AUF
        DATA   LPCn
                 T
          ANWENDER
          PROGRAMM
                 ⊥

* ROUTINE ZUR ÜBERPRÜFUNG DER LETZTEN ÜBERGEBEN PC-ADRESS UND
* RÜCKSETZEN DES "WATCH-DOG"-TIMERS

TIMOUT  C   R11+,  LASTPC   LETZTER GESPEICHERTER PC-WERT OK?
        JNE  ERROR          SPINGE ZUR FEHLERBEHANDLUNG
        SBZ  TOCLR          SETZE TIMEOUT ZURÜCK
        RT                  SPRINGE ZUM NORMALPROGRAMM ZURÜCK
ERROR   :                   FEHLERBEHANDLUNG
        :
        :
```

Bild 3. Programmsequenz zur Überprüfung des Ablaufs und Rücksetzen des Watch-dog-Zeitgebers

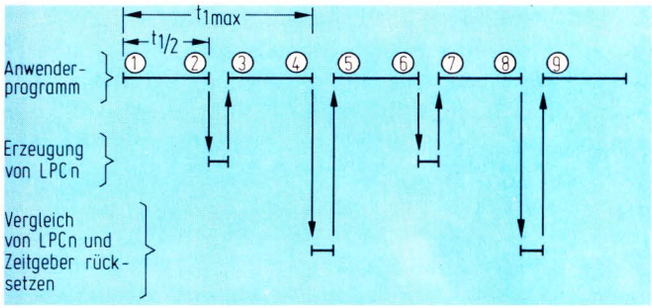


Bild 4. Zeitablauf der sequentiellen Adreßerzeugung, des Vergleichs und des Rücksetzens des Watch-dog-Zeitgebers

Die absolute Adresse von LPCn wird in der Adresse LASTPC abgelegt. Nach dem Laden des Rücksprungs (B * R11) in eines der 16 TMS9900-Register (hier bezeichnet als RX) wird ein Unterprogrammsprung (BL RX) nach RX ausgeführt. Die Ausführung dieses Befehls bewirkt die Abspeicherung der Rücksprungadresse (LPCn) nach R11, und die Ausführung des B * R11 in RX bewirkt den Rücksprung zur Marke LPCn. Die absolute Adresse von LPCn steht jetzt in R11 und wird mit „MOV R11,@LASTPC" unter der Adresse LASTPC abgelegt [2].

Vor Ablauf der Zeit t_1 wird dann das Unterprogramm aufgerufen. Es vergleicht, ob LASTPC den gleichen Inhalt aufweist wie das Wort, das dem „BRANCH-AND-LINK"-Aufruf folgt. Ist der Vergleich negativ, so liegt eine falsche Programmsequenz vor. Den zeitlichen Ablauf des Anwenderprogramms, der Erzeugung der sequentiellen Adresse (LPCn) und dem Unterprogramm zum Vergleich der Adressen und Rücksetzen des Watch-dog zeigt *Bild* 4. Die Wahrscheinlichkeit, daß eine Systemstörung auftritt, die ein Verlassen des Anwenderprogramms *und* die Rückkehr in den gleichen Abschnitt bewirkt (Ein-/Aussprung zwischen den Punkten 1/2,3/4,5/6 usw. nach Bild 4) ist als gering einzustufen.

4 Die Watch-dog-Sperre

Wird eine schnelle Reaktionszeit benötigt und sollen unerlaubte Logikkombinationen (verursacht durch Systemstörungen) vermieden werden, kann eine Watch-dog-Sperre eingesetzt werden. Im Gegensatz zum Watch-dog-Zeitgeber muß sie nicht zurückgesetzt werden.

Bild 5 zeigt eine Schaltung für ein 8-Bit-Ausgabeport des TMS 9900, mit einer Reaktionszeit von 1 µs.

Die Schaltung arbeitet mit einem PROM SN74S387N (256 x 4 Bit) im Auswertezweig, mit der alle unerwünschten Ausgangskombinationen des Port erkannt werden. Die vier PROM-Ausgänge liefern die Signale zum Rücksetzen des Ports oder erzeugen die Interrupt-, LOAD- oder HOLD-Signale.

Das 4-Bit-Register SN74LS174N dient zur Synchronisation und Unterdrückung von störenden Signaländerungen des PROM während des Umschaltens der Eingänge.

Die Watch-dog-Sperre erfordert einen geringeren Softwareaufwand als der Watch-dog-Zeitgeber. Ihr

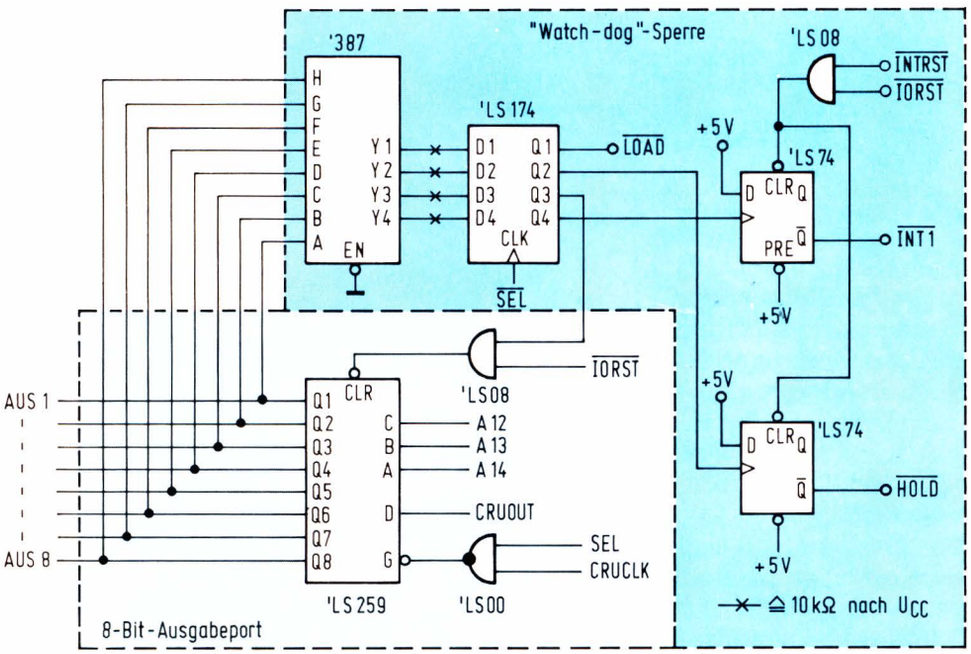


Bild 5. Schaltungsbeispiel der Watch-dog-Sperre

Literatur

[1] EPROM-Prüfsummenprogramm für das TM990-Mikrosystem. Applikationsbericht (EB 129) der Firma Texas Instruments, Deutschl. GmbH.

[2] Adreßunabhängige EPROM-Software. Applikationsnotiz (EN 6) der Firma Texas Instruments, Deutschland GmbH.

[3] Funktionen und Anwendungen des programmierbaren Systeminterface-Bausteins TMS 9901. Applikationsbericht (EB 123) der Firma Texas Instruments, Deutschl. GmbH.

Nachteil ist, daß der Faktor Zeit nicht berücksichtigt wird. Systemstörungen werden nur dann erkannt, wenn sie zu unerlaubten Ausgangskombinationen führen. Ein Einsatz bei Ausgabeports mit paralleler 8-Bit-Ausgabe ist nicht möglich.

5 Hinweise für den Aufbau von µP-Ausgabemoduln

Der Entwurf von Ausgabemoduln für Mikroprozessorsysteme sollte die Verwendung von überwachenden Zusatzschaltungen enthalten. Eine entsprechende Steckbrückenprogrammierung erlaubt dann den flexiblen Einsatz während der Systemrealisierung. Zur Überprüfung der Funktionstüchtigkeit der Ausgabekanäle empfehlen sich außerdem parallelgeschaltete Eingabeports. Dabei sollte das Eingabeport möglichst nahe am Stellglied angeschlossen sein. Dies gestattet dann die Überprüfung der Ausgabedaten durch erneutes Einlesen (*echo back*) und Operandenvergleich. Es ist außerdem von Vorteil, optische Anzeige für erkannte Fehlfunktionen vorzusehen. Sie erhöht die Wartbarkeit und vereinfacht den Service.

6 Schlußbemerkungen

Die diskutierten Schaltungen stellen nur eine Auswahl der vielen Möglichkeiten dar. Entsprechend den Anforderungen sind auch programmierbare Zeitgeber (z. B. TMS9901) oder programmierbare Teiler einsetzbar. Wird eine hohe Sicherheit gefordert, kann ein zweiter Mikroprozessor zur Überprüfung der Ausgabedaten herangezogen werden.

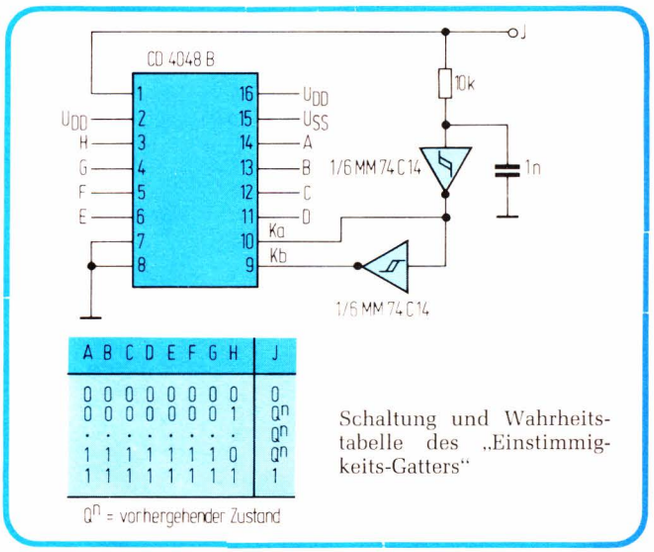
Ing. (grad.) Horst Huse

Multifunktionsgatter erzeugt Statussignal

Oft muß eine bestimmte Operation ausgeführt werden, nachdem eine Gruppe von Statussignalen den als „wahr" festgelegten Pegel eingenommen hat. Eine andere Operation wird dann ausgeführt, nachdem sich alle Statussignale auf dem entgegengesetzten, „nicht wahren" Wert befinden. Das kann der Fall sein, wenn die Statussignale zu verschiedenen Zeiten ankommen, sei es auf Grund beabsichtigter oder unvorhersehbarer Verzögerungen. Ein Flagsignal läßt sich zur Anzeige verwenden, daß alle Signale „wahr" sind. Nachdem die Operation durchgeführt ist, können die einzelnen Signale völlig willkürlich wieder auf den nicht wahren Pegel zurückfallen, das Flagsignal muß jedoch so lange gesetzt bleiben, bis das letzte Statussignal den falschen Wert angenommen hat. Dann wird es zurückgesetzt, und eine neue Operation kann beginnen.

Eine Schaltung, die diese Funktion ausführt, ist ein „Einstimmigkeits-Gatter". Es handelt sich dabei um eine „Einzustandsmaschine", deren Ausgangszustand wechselt, wenn alle Eingänge gleichen Logikpegel haben, also z. B. alle „0" oder „1" sind. Der Baustein CD 4048 B ist ein Multifunktions-CMOS-Gatter, mit dem sich diese Aufgabe auf einfache Weise realisieren läßt *(Bild)*. Über seine Steuereingänge Ka, Kb und Kc kann er so programmiert werden, daß acht verschiedene logische Funktionen möglich sind. Durch Rückkopplung des Ausgangs auf die Steuereingänge läßt sich das Gatter so programmieren, daß es in Abhänigkeit vom Ausgangszustand verschiedenes logisches Verhalten zeigt. Das „Einstimmigkeits-Gatter" verhält sich als logisches „UND", wenn der Ausgangszustand „0" ist, als „ODER", wenn er „1" ist. Das Ausgangssignal muß verzögert werden, bevor es den Steuereingängen zugeführt wird, um zu verhindern, daß das Gatter in den undefinierten Bereich gerät. Die Rückkopplungsverzögerung beeinflußt jedoch die Vorwärts-Verzögerungszeit der Schaltung nicht.

Gerald Buurma



A	B	C	D	E	F	G	H	J
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	Q^n
.	.	.	.	.	.	.	.	Q^n
1	1	1	1	1	1	1	0	Q^n
1	1	1	1	1	1	1	1	1

Q^n = vorhergehender Zustand

Schaltung und Wahrheitstabelle des „Einstimmigkeits-Gatters"

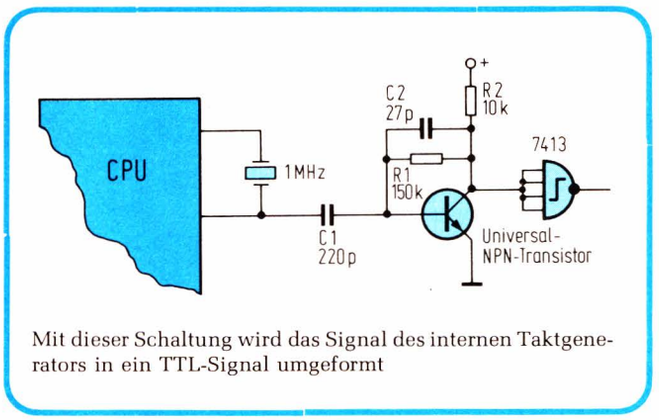
Gewinnen des Taktsignals mit internem Quarzoszillator

Bei zahlreichen modernen Mikroprozessoren und Einchip-Mikrocomputern befindet sich der Taktgenerator auf dem Chip. Am Gehäuse sind lediglich zwei Anschlußpunkte vorhanden, an denen der frequenzbestimmende Quarz oder auch einfach ein Kondensator angeschlossen ist. Benötigt man für externe Bausteine (z. B. Z80CTC oder USART SAB 8251) dieses Taktsignal, so muß es auf TTL-Pegel umgesetzt und in ein Rechtecksignal umgeformt werden.

Die Signalform an den Quarzanschlüssen ist kein Rechteck, sondern besteht aus zwei Spannungsspitzen verschiedener Amplitude. Nur die größere davon wird verwendet. Eine zweite, höherfrequente Komponente wird durch die Millerkapazität C2 unterdrückt.

Die einfache Schaltung zur Gewinnung des Taktes zeigt das *Bild*. Die Auswahl des Transistors ist weitgehend unkritisch. Der Aufbau sollte möglichst klein ausgeführt werden.

Michael Klein



Mit dieser Schaltung wird das Signal des internen Taktgenerators in ein TTL-Signal umgeformt

Arithmetik-Modul für 8085-Bus

Die vorliegende Schaltung (*Bild 1*) stellt einen Modul in Europakartengröße dar, der eine „Arithmetic Processing Unit" (APU) mit einem gepufferten 8085-Bus verbindet.

Die zur Zeit verfügbaren 8-Bit-Mikroprozessoren sind für arithmetische Operationen (z. B. Grundrechenarten im Fließkommaformat und trigonometrische Funktionen) in Assemblersprache nur sehr unbequem zu programmieren. Die vorhandenen Softwarepakete haben recht lange Ausführungszeiten. Abhilfe schaffen hier die von verschiedenen Firmen angebotenen Arithmetik-Prozessoren.

Die APU AM9511 der Firma Advanced Micro Devices verarbeitet in dieser Schaltung Daten im Dualformat, wobei zwischen 16-Bit- *(Single Precision)*, 32-Bit- *(Double Precision)* und Fließkommaformat mit 24-Bit-Mantisse, 6-Bit-Exponent gewählt werden kann.

Der Mikroprozessor (CPU) lädt die Operanden 8-Bit-weise in den Stack der APU, sendet den Befehl für die Art der Operation und holt das Ergebnis entweder nach einem Interrupt oder nach Abfrage eines Zustandswortes aus dem Stack der APU wieder zurück. Die Abarbeitung der Operanden erfolgt in RPN (*Reversed Polish Notation*).

Eine Division im Fließkommaformat dauert bei der hier verwendeten preiswerten Ausführung (2-MHz-Takt) ohne Berücksichtigung der Zeiten für den Datentransport 86 µs.

Der Modul enthält außer der APU und den Interfaceschaltungen noch ein 2-Kx8-EPROM (Intel 2716), in dem kleine Unterprogramme für die Aufrufe der einzelnen Operationen und für den Datentransport abgelegt sind. Diese Unterprogramme werden durch CALL aufgerufen. Das EPROM kann mit einem Schalter vom Bus getrennt werden und durch einen externen RAM-Speicher im gleichen Adreßbereich ersetzt werden, so daß eine Weiterentwicklung der Unterprogramme im RAM leicht möglich ist.

Die Verwendung der Befehls- und Transportroutinen ergibt einfache und übersichtliche Programme. Ein Beispiel zeigt *Bild 2*. Die APU wird wie zwei Speicherstellen angesprochen – für Daten und Befehle getrennt – und liegt wegen der einfacheren Decodierung in der obersten Seite des Adreßbereiches bei FFnn. Dabei ist nn eine wählbare Adresse von 00...FF. Beim Datentransport verlängert die APU bei Bedarf die Schreib- und Lesesignale durch Einfügen von Wartezyklen. Das wird von der APU durch ein Signal PAUSE bewirkt, das eigentlich direkt als READY-Signal an der CPU verwendet werden soll. Es hat sich aber gezeigt, daß das PAUSE-Signal der APU zu spät erscheint, um von der CPU erkannt zu werden. Deshalb wird bei jedem Zugriff auf die APU mit Hilfe der beiden Signale ALE (*Adress Latch Enable*) und

CSAPU automatisch ein Wartezyklus erzeugt, der der APU Gelegenheit gibt, das PAUSE-Signal bereitzustellen.

Die Anwendung dieses Moduls hat sich sehr bewährt und völlig neue, rechenintensive Anwendungsgebiete für den Einsatz des Mikroprozessors 8085 erschlossen.

Jürgen Petsch

Literatur

1 Datenblatt der Fa. Advanced Micro Devices. AM9511 Arithmetic Processing Unit.

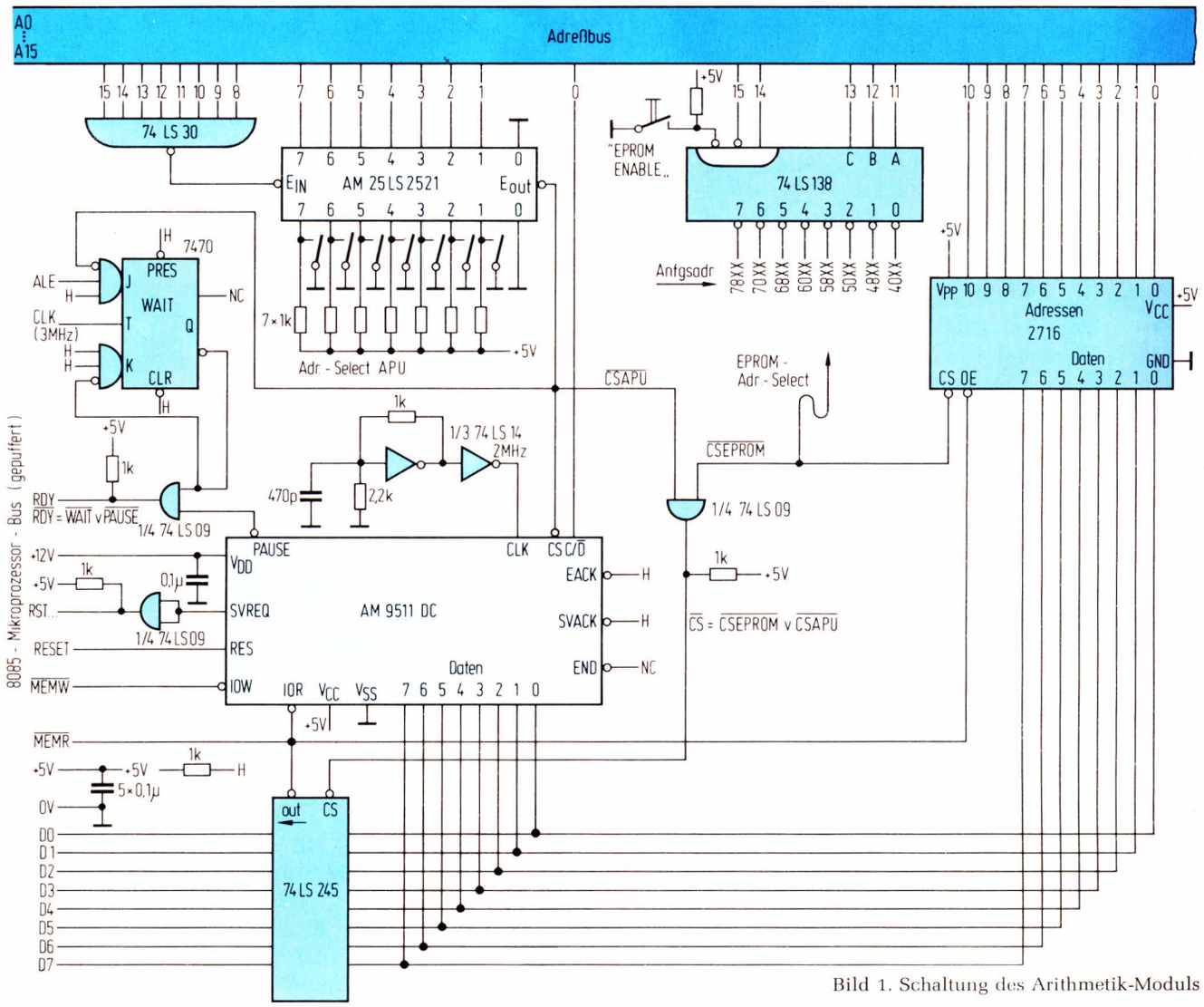


Bild 1. Schaltung des Arithmetik-Moduls

```
;
;-----------------------------------------------------------------------
;   "SINUS" ERRECHNET DEN FUNKTIONSWERT EINES SINUS MIT 8 BIT-AUFLÖSUNG UND
;   EINER PERIODE VON 1024 PUNKTEN.
;            -------------------------
;             Y = A X SIN (T X PI)/512
;            -------------------------
;
;   Y = FUNKTIONSWERT
;   A = SPITZENWERT DES SINUS (7FH = 127D)
;   T = UNABHÄNGIGE VARIABLE (0...3FFH; 0...1023D FÜR EINE PERIODE)
;
;   EING: DE = T
;   AUSG: BC = Y IM ZWEIERKOMPLEMENT
;   UNVERÄNDERT: HL; DE;
;
;   UNTERPROGRAMMAUFRUFE: FDIV; FIXS; FLTS; FMUL; PUPI; POPBC; PUSBC; PUSDE; SIN;
;
;   DIE OPERANDEN WERDEN ALS 16 BIT GANZZAHLEN ZUR APU GEBRACHT. GERECHNET WIRD
;   IM FLIESSKOMMAFORMAT.

                    ORG  5420
;
5420 FS       SINUS PUSH PSW      SICHERE ACCU/FLAGS DES AUFRUFENDEN PROGRAMMS
5421 CD3E52         CALL PUSDE    BRINGE T AUF DEN STACK DER APU
5424 CD6C51         CALL FLTS     WANDLE TOP OF STACK (TOS) IN FLOATPOINT
5427 CD3052         CALL PUPI     BRINGE PI AUF DEN STACK DER APU
542A CD8C50         CALL FMUL     MULTIPLIZIERE T X PI
542D 010002         LXI  B,200    SETZE BC = 200H = 512D
5430 CD4652         CALL PUSBC    BRINGE BC AUF DEN STACK DER APU
5433 CD6C51         CALL FLTS     WANDLE TOS IN FLOATPOINT
5436 CD9A50         CALL FDIV     DIVIDIERE (T X PI)/512
5439 CDB650         CALL SIN      ERRECHNE SINUS   SIN (T X PI)/512
543C 017F00         LXI  B,7F     SETZE A = 7FH = 127D
543F CD4652         CALL PUSBC    BRINGE AUF DEN STACK
5442 CD6C51         CALL FLTS     WANDLE TOS IN FLOATPOINT
5445 CD8C50         CALL FMUL     ERRECHNE Y
5448 CD5051         CALL FIXS     WANDLE IN SINGLE PRECISION FIXPOINT
544B CD6052         CALL POPBC    HOLE Y VOM STACK DER APU
544E F1             POP  PSW      REGENERIERE AF DES AUFRUFENDEN PROGRAMMS
544F C9             RET
;
                    END
```

Bild 2. Berechnungsbeispiel

Erzeugen netzspannungsgesteuerter Programmunterbrechungen

Oft ist es notwendig, einen Mikroprozessor mit einem „Zeitbewußtsein" auszustatten. Das kann durch periodische Programmunterbrechung geschehen. Eine recht gut geeignete und überdies im Mittel ziemlich stabile Unterbrechungsperiode von 10 ms läßt sich aus der Netzfrequenz ableiten.

Für gute Zeitauflösung ist eine hohe Unterbrechungsfrequenz günstig, andererseits sollte im Zeitraum zwischen zwei Unterbrechungen nicht nur die Unterbrechungsbedienung abgeschlossen werden können, sondern auch noch eine ausreichende Reserve zur Abwicklung von Hintergrund-Programmen bleiben. Programmunterbrechungen zum Zeitpunkt der Nulldurchgänge der Netzspannung bieten zusätzliche Vorteile:

- Triacs und Thyristoren können ohne großen Aufwand im Nulldurchgang der Netzspannung getriggert werden.
- Schrittmotor-Steuerungen lassen sich sehr preiswert verwirklichen, wenn man die Schritt-Impulse mit den Netzhalbwellen synchronisiert. Man kann dann die Endstufen mit pulsierendem Gleichstrom speisen.
- Oft werden zur Erfassung von Analog-Signalen schnelle Analog/Digital-Umsetzer mit vorgeschalteten Multiplexern verwendet. Wenn während jeder Netzhalbwelle alle Analogsignale digitalisiert werden und die Abtast-Zeitpunkte gegenüber den Nulldurchgängen der Netzspannung konstant verzögert sind, kann man durch Bildung des arithmetischen Mittels zweier aufeinanderfolgender Meßwerte desselben Kanals den Einfluß eingestreuter 50-Hz-Brummspannungen weitgehend reduzieren.

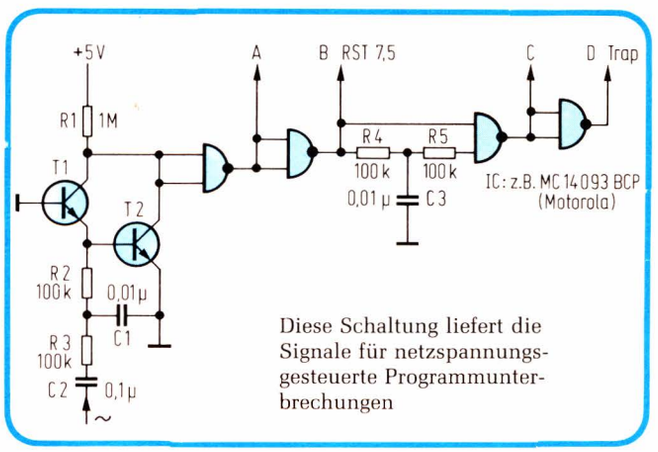
Netzspannungsgesteuerte Programmunterbrechungen sind aber auch von Bedeutung, wenn der µP auf einen Netzspannungsausfall aufmerksam gemacht werden muß. Geschieht dies rechtzeitig, so kann er noch Notmaßnahmen treffen, z. B.:

- wichtige Daten in einem nichtflüchtigen Speicher retten,
- ein Notsignal an eine übergeordnete Steuerung absenden,
- eine Notstromversorgung einschalten.

Die im *Bild* dargestellte Schaltung erzeugt Unterbrechungssignale, die für solche Zwecke benutzt werden können. Der aus C 2, R 3, C 1 und R 2 bestehende Bandpaß dient zur Unterdrückung von hochfrequenten Einstreuungen und Störimpulsen. Während der positiven Halbwellen des Bandpaß-Ausgangsstroms i ist Transistor T 2 gesättigt, während der negativen Halbwellen T 1. Nur während kurzer Zeitintervalle um die Nulldurchgänge von i entstehen an den Kollektoren von T 1 und T 2 kurze positive Impulse. Die Phase von i und damit die zeitliche Lage dieser Impulse bezüglich der Nulldurchgänge der Netzspannung kann man durch geeignete Wahl von C 2 verändern. Die nachgeschalteten Schmitt-Trigger versteilern die Impulsflanken und komplementieren das Unterbrechungssignal. Die positiven Impulse am Ausgang B eignen sich z. B. für den (maskierbaren) Unterbrechungs-Eingang RST 7.5 des Mikroprozessors 8085. Die Dauer der Ausgangsimpulse nimmt mit steigender Amplitude der Eingangsspannung ab. Bei einer Eingangsspannung von U_{eff} = 10 V beträgt sie 0,3 ms.

Im Normalbetrieb verhindert der Tiefpaß R 4, C 3, daß die Nulldurchgangsimpulse zu den Ausgängen C und D gelangen. Erst wenn die Netzspannung für einige ms ausgefallen ist, ändern sich die komplementären Zustände dieser Ausgänge. Das positive Alarmsignal am Ausgang D eignet sich z. B. für den (nichtmaskierbaren) Unterbrechungs-Eingang TRAP des Typs 8085. Die zum Erkennen eines Netzausfalls erforderliche Zeit hängt von der z. B. durch C 1 beeinflußbaren oberen Grenzfrequenz des Eingangsfilters und von der Zeitkonstanten R 4 · C 3 ab.

Dr. Martin Brendle



Diese Schaltung liefert die Signale für netzspannungsgesteuerte Programmunterbrechungen

Interrupt-Schaltung für Z80-Systeme

Bis zu acht Interrupt-Eingänge

Die im *Bild* dargestellte Schaltung ermöglicht den Betrieb eines Z80-Mikrocomputers mit bis zu acht einfach priorisierten Interrupt-Eingängen. Dabei wird die CPU im Interrupt-Modus 2 betrieben, bei dem die untere Hälfte des Interrupt-Vektors vom Datenbus, die obere durch das interne CPU-Register I geliefert wird. Die Daten vom Bus werden dabei während des Interrupt-Acknowledge-Zyklus (INTA) eingelesen, der durch $\overline{M1}$ = „L" und $\overline{IORQ}$ = „L" charakterisiert ist. Die Schaltung bildet für die Interrupt-Eingänge INT 0...7 die Vektoren F0, F2...FE (DB 0 ist immer „L"), wobei das obere Halbbyte F nicht aktiv von der Schaltung, sondern durch den „offenen" Datenbus erzeugt wird. Natürlich kann man auch vier zusätzliche Tristate-Puffer einsetzen, um DB 4...7 während der INTA-Zeit schalten zu können.

Da die Interrupt-Schaltung wegen des einfachen Konzepts den RETI-Befehl der CPU nicht erkennen kann, ist ihre Verwendung mit Z80-E/A-Bausteinen (CTC, PIO etc.) nur als Interrupt-Schaltung niedrigster Priorität möglich.

Das Funktionsprinzip ist einfach: Die bis zu acht Interrupt-Flipflops werden einzeln durch die positiv schaltenden Eingangssignale gesetzt. Dadurch ist gewährleistet, daß kein eintreffender Interrupt verlorengeht. Der nachfolgende Prioritäts-Codierer wählt den mit der höchsten Priorität eingeschalteten Interrupt aus und signalisiert ihn mit dem $\overline{INT}$-Signal der CPU. Ist diese bereit, den Interrupt anzuerkennen, und hat in der Zwischenzeit nicht noch eine höher priorisierte Schaltung einen Interrupt signalisiert (IEI wäre dann „L"), wird der höchste gespeicherte Interrupt mit INTA = „H" im Latch festgehalten und auf den Datenbus geschaltet. Gleichzeitig wird das Flipflop, dessen Interrupt quittiert wurde, wieder zurückgesetzt.

Je nach den Eigenschaften, die für die acht Interrupt-Eingänge gefordert werden, können anstelle der positiv flankengetriggerten D-Flipflops 74LS74 auch RS-Flipflops vom Typ 74LS279 benutzt werden. Dann sollte die Zeit, in der der INTn-Eingang aktiv (RS-Flipflop = „L") ist, $3t_c$ des CPU-Taktes nicht überschreiten, da das Flipflop sonst nicht ordnungsgemäß gelöscht werden kann.

Der zusätzliche IEO-Ausgang, der anzeigt, daß diese Schaltung gerade einen Interrupt anfordert, ist mit den IEO-Ausgängen der Z80-Bausteine nicht identisch, da diese während des RETI-Befehls unter Umständen auf „H" geschaltet werden [3].

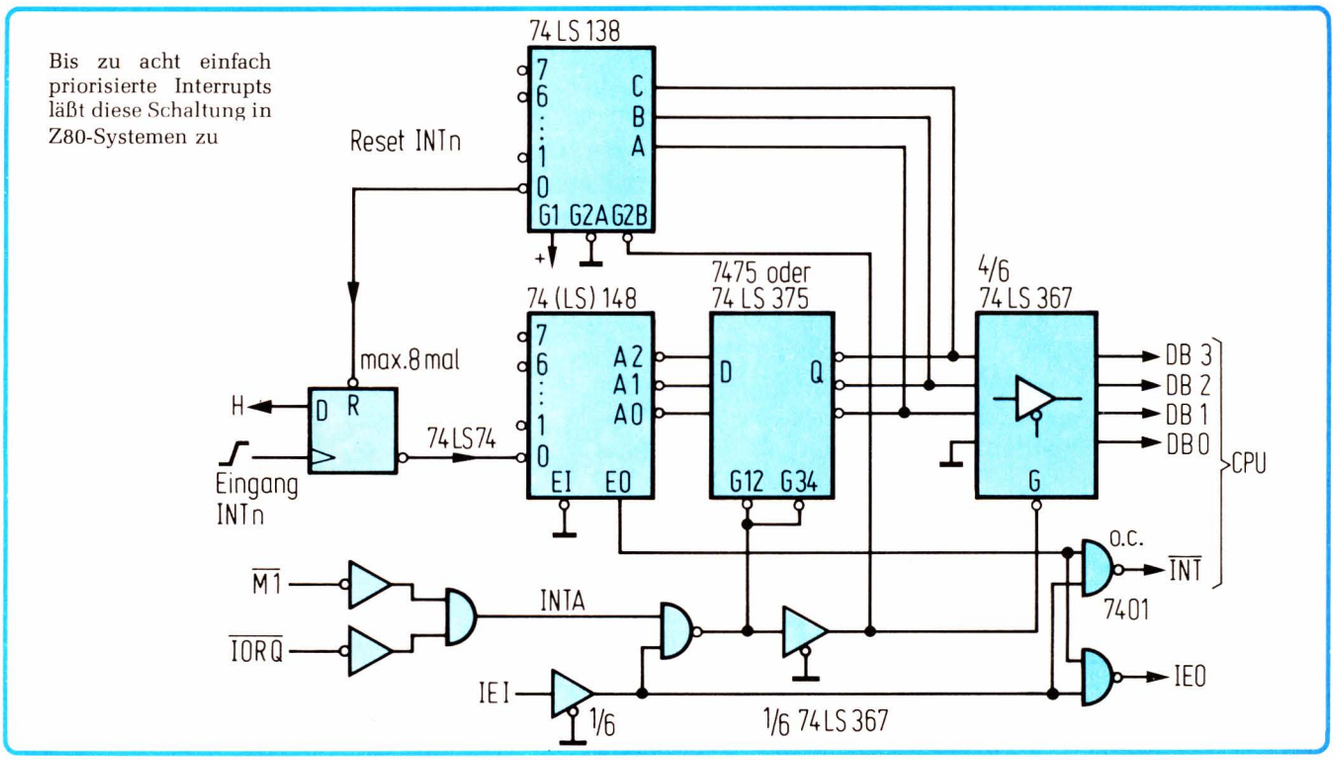
Thomas Gries

Literatur

[1] Mikrocomputer 77/78 (Datenbuch). Zilog, 1977.

[2] Feger, O.: Schnelle Schaltung zur Interrupt-Verarbeitung. ELEKTRONIK 1977, H. 11, S. 88.

[3] Prikryl, J.: Interrupt-Behandlung im Z80-System und Konsequenzen für die E/A-Erweiterung. ELEKTRONIK 1980, H. 13, S. 55...59.



Uhrzeit- und Datumseinheit für µC-Systeme

In zunehmendem Maße werden Mikroprozessoren dazu verwendet, komfortable Heimcomputer zu realisieren. Für ein solches Rechnersystem wurde die folgende Uhrenschaltung entwickelt und aufgebaut. Dabei sollte nicht nur die Uhrzeit, sondern auch das Datum verfügbar sein.

Wenn die Uhrzeit zur Verfügung steht, können Meßreihen in einem festen Zeitraster aufgenommen oder die Zeiten für eingetretene Ereignisse protokolliert werden. Die Laufzeiten von Programmen oder Programmteilen können direkt ermittelt werden.

Aufbau der Schaltung

Die vollständige Schaltung ist in *Bild 1* dargestellt. Den wichtigsten Teil bildet der leicht erhältliche Uhren-Baustein FCM 7004 (IC 1) von Fairchild. Diese integrierte Schaltung verwendet im Gegensatz zu den anderen Bausteinen der Reihe FCM 7000 das europäische Datumformat. IC 1 liefert Digit- und Segmentsignale zum direkten Ansteuern von Siebensegmentanzeigen. Die Digitausgänge werden über einen MOS-TTL-Umsetzer (IC 5) auf einen Parallelport 8255 (IC 12) gegeben. Die Segmentausgänge werden ebenfalls mit einem MOS-TTL-Umsetzer (IC 6) auf TTL-Niveau gebracht. Darauf folgt eine Gatterschaltung (IC 8...IC 11), die die Segmentsignale in BCD-Daten

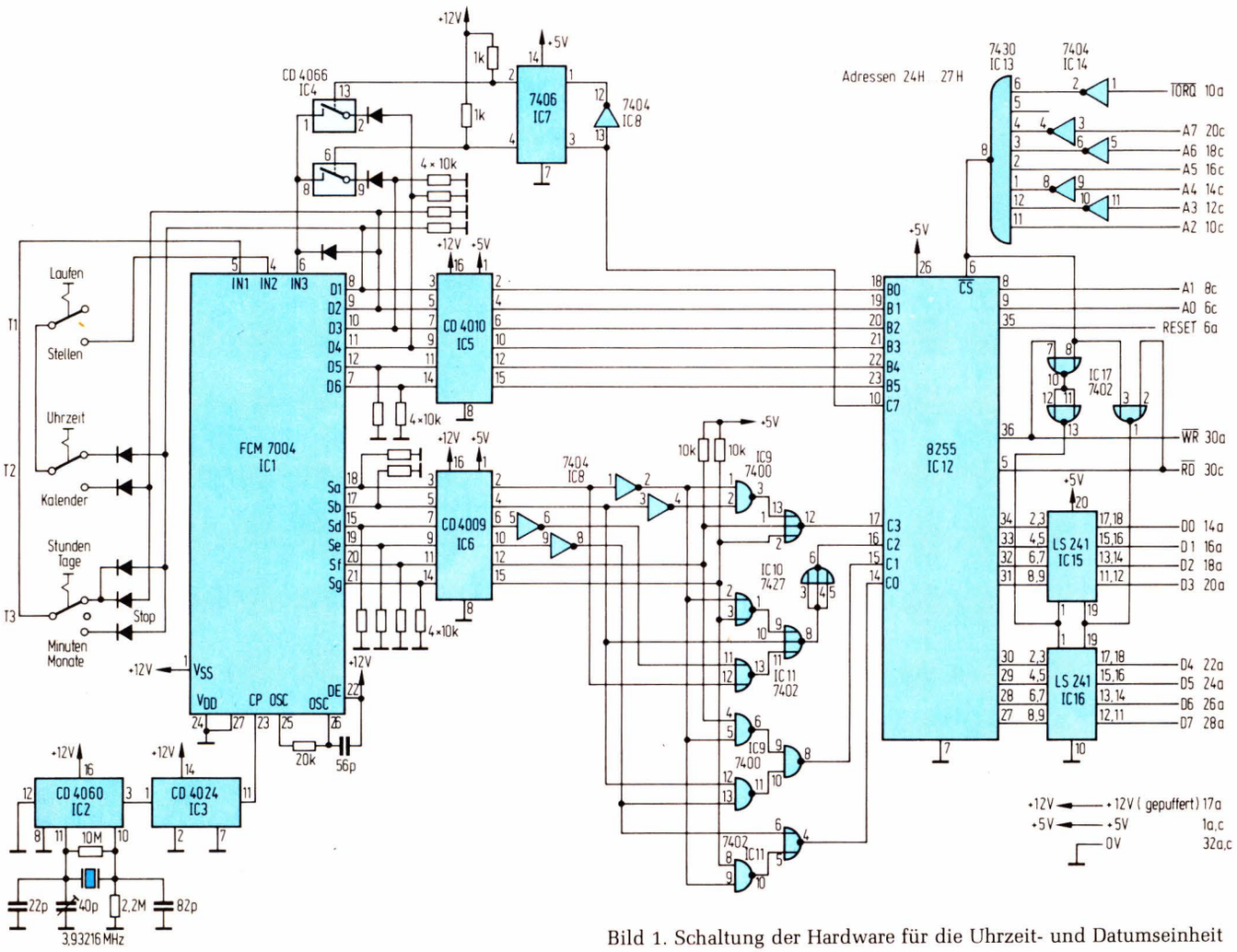


Bild 1. Schaltung der Hardware für die Uhrzeit- und Datumseinheit

umcodiert. Die BCD-Leitungen werden auch vom Parallelport 8255 abgefragt.

Den Takt liefert ein Quarzoszillator, dessen Frequenz mit dem 40-pF-Trimmer etwas variiert werden kann. Die Frequenz des Oszillators von 3,93216 MHz wird mit Hilfe von IC 2 und IC 3 auf 60 Hz heruntergeteilt. Natürlich können auch andere Oszillator- und Teilerschaltungen verwendet werden, wenn sie 50 oder 60 Hz liefern. Bei 50 Hz muß eine Diode zwischen D 6 und IN 1 geschaltet werden. Die Katode wird an IN 1 angeschlossen. Zum Stellen dienen drei Umschalter T 1...T 3. Im Normalbetrieb steht T 1 auf „Laufen". Schaltet man auf „Stellen", so wird die Zahl, die durch T 2 und T 3 eingestellt wurde, mit 1 Hz weitergezählt. Dabei verfolgt man die Anzeige auf dem Terminal. Beim Stellen der Minuten werden die Sekunden auf Null zurückgesetzt. Die Uhr arbeitet im 24-Stunden-Betrieb. Falls die 12-Stunden-Betriebsart gewünscht wird, kann die Diode zwischen D 2 und IN 3 weggelassen werden. Durch C 7 und zwei Analogschalter (IC 4) bestimmt der Rechner, ob die Uhrzeit oder das Datum ausgegeben wird. Wenn C 7 auf niedrigem Pegel liegt, kann die Uhrzeit gelesen werden, bei hohem Pegel das Datum. IC 13 und IC 14 decodieren die Adressen für den Interface-Baustein 8255. Er wird über die Adressen 24 h...27 h angesprochen. Die dargestellten Busleitungen gehören zu einem System mit dem Prozessor Z 80. Durch entsprechende Änderungen kann die Schaltung auch für andere Systeme verwendet werden.

Damit die Uhr bei ausgeschaltetem Rechner weiterlaufen kann, muß die 12-V-Versorgungsspannung immer vorhanden sein. Man kann ein Netzteil aufbauen, das ständig an der Netzspannung angeschlossen ist, oder einen Akku verwenden. Dabei ist zu bedenken, daß die Schaltung 10 mA Betriebsstrom benötigt. Ohne das Netzteil oder den Akku kann man die Schaltung auf einer Europakarte unterbringen.

Software

Für die Uhr wurden zwei Assembler-Programme geschrieben. Das Programm UHRCRT (*Bild 2*) schreibt z. B. folgendes auf den Terminal-Bildschirm:

Uhrzeit: 14:38:25 Datum: 02.05.

UHRCRT liegt im Speicherbereich 100 h...19B h. Falls das Programm nicht über einen CALL-Befehl aufgerufen werden soll, muß der RET-Befehl am Ende durch einen entsprechenden anderen Befehl ersetzt werden. Als Schnittstelle zum Terminal wurde ein Seriell-Port 8251 angenommen. Die Daten werden über die Adresse 00 h ausgegeben, und das Statuswort über die Adresse 01 h gelesen. In den beiden Unterprogrammen UHRCRT und UHRMEM (*Bild 3*) wird die Uhrschaltung in gleicher Weise gelesen. Zuerst wird C 7 auf Null gesetzt, um das Datum lesen zu können. Dann

```
        UHRCRT:
0100    C3 16 01    JMP 0116
0103    55 68 72 7AASCII-
0107    65 69 74 3AZeichen
010B    20 20 20 20
010F    44 61 74 75
0113    6D 3A 20
0116    06 09       LD B,09
0118    21 03 01    LD HL,0103
011B    CD 94 01    CALL "PRINT"
011E    3E 00       LD A,00
0120    CD 82 01    CALL "WAIT"
0123    16 01       LD D,01
0125    CD 68 01    CALL "READ"
0128    0E 3A       LD C,3A
012A    CD 8A 01    CALL "OUT"
012D    16 04       LD D,04
012F    CD 68 01    CALL "READ"
0132    0E 3A       LD C,3A
0134    CD 8A 01    CALL "OUT"
0137    16 10       LD D,10
0139    CD 68 01    CALL "READ"
013C    06 0A       LD B,0A
013E    21 0C 01    LD HL,010C
0141    CD 94 01    CALL "PRINT"
0144    3E 80       LD A,80
0146    CD 82 01    CALL "WAIT"
0149    16 01       LD D,01
014B    CD 68 01    CALL "READ"
014E    0E 2E       LD C,2E
0150    CD 8A 01    CALL "OUT"
0153    16 04       LD D,04
0155    CD 68 01    CALL "READ"
0158    0E 2E       LD C,2E
015A    CD 8A 01    CALL "OUT"
015D    0E 0D       LD C,0D
015F    CD 8A 01    CALL "OUT"
0162    0E 0A       LD C,0A
0164    CD 8A 01    CALL "OUT"
0167    C9          RET

        READ:
0168    06 02       LD B,02
016A    DB 25       IN 25
016C    A2          AND D
016D    20 FB       JR NZ,FB
016F    DB 25       IN 25
0171    A2          AND D
0172    28 FB       JR Z,FB
0174    DB 26       IN 26
0176    F6 30       OR 30
0178    4F          LD C,A
0179    CD 8A 01    CALL "OUT"
017C    CB 22       SLA D
017E    05          DEC B
017F    C8          RET Z
0180    18 E8       JR E8

        WAIT:
0182    D3 26       OUT 26
0184    3E FF       LD A,FF
0186    3D          DEC A
0187    20 FD       JR NZ,FD
0189    C9          RET

        OUT:
018A    DB 01       IN 01
018C    E6 01       AND 01
018E    28 FA       JR Z,FA
0190    79          LD A,C
0191    D3 00       OUT 00
0193    C9          RET

        PRINT:
0194    4E          LD C,(HL)
0195    23          INC HL
0196    CD 8A 01    CALL "OUT"
0199    10 F9       DJNZ F9
019B    C9          RET
```

Bild 3. ▶ Das Unterprogramm „UHRMEM" liest die Uhrzeit und das Datum aus der Uhrenschaltung und schreibt die Daten auf die Speicherplätze 42_h...$4B_h$

```
        UHRMEM:
1940    3E 00       LD A,00
1942    CD 5C 19    CALL "WAIT"
1945    21 42 00    LD HL,0042
1948    06 06       LD B,06
194A    0E 01       LD C,01
194C    CD 64 19    CALL "IN"
194F    3E 80       LD A,80
1951    CD 5C 19    CALL "WAIT"
1954    06 04       LD B,04
1956    0E 01       LD C,01
1958    CD 64 19    CALL "IN"
195B    C9          RET

        WAIT:
195C    D3 26       OUT 26
195E    3E FF       LD A,FF
1960    3D          DEC A
1961    20 FD       JR NZ,FD
1963    C9          RET

        IN:
1964    DB 25       IN 25
1966    A1          AND C
1967    20 FB       JR NZ,FB
1969    DB 25       IN 25
196B    A1          AND C
196C    28 FB       JR Z,FB
196E    DB 26       IN 26
1970    E6 0F       AND 0F
1972    77          LD (HL),B
1973    CB 21       SLA C
1975    23          INC HL
1976    05          DEC B
1977    20 EB       JR NZ,EB
1979    C9          RET
```

◀ Bild 2. Mit dem Unterprogramm „UHRCRT" werden Uhrzeit und Datum an das Terminal gesendet

wird der Port B gelesen und ein Bit selektiert, das der gewünschten Stelle entspricht. Soll beispielsweise die erste Stelle gelesen werden, so wird B 0 ausgeblendet. Es wird in einer Schleife so lange gewartet, bis B 0 low ist. In einer zweiten Schleife wird darauf gewartet, daß B 0 high wird. Durch diese beiden Schleifen wird die ansteigende Flanke von B 0 gefunden. Jetzt kann die Information der ersten Stelle über den Port C gelesen werden. Das gleiche geschieht mit den übrigen fünf Stellen. UHRCRT gibt die Zahlen auf das Terminal aus. Das Unterprogramm UHRMEM dagegen speichert die Werte auf die Speicherplätze 42 h...4B h im BCD-Code. Entsprechend dem obigen Beispiel würde dort stehen:

01 04 03 08 02 05 00 02 00 05

Wer einen BASIC-Interpreter besitzt, kann nach dem Aufruf der Routine UHRMEM mit dem PEEK-Befehl die Uhrzeit und das Datum aus dem Speicher holen und im BASIC-Programm weiterverarbeiten.

Erwin Schmidt

Literatur

1 *Bischof, A.*: Umwandlung von 7-Segment- in 1-aus-10- und BCD-Code, ELEKTRONIK 1976, H. 5, S. 62.

2 Datenblatt der Firma Fairchild: FCM 7001...7004 Digital Clock Calendar Circuits.

Memory-Mapping für Mikroprozessoren

Mit dieser Schaltung ist es möglich, die Arbeitsweise eines Mikroprozessors optisch zu kontrollieren, indem der gesamte Speicherbereich von z. B. 64 KByte auf einem Oszilloskop dargestellt wird.

Die Schaltung nach *Bild 1* besteht aus zwei D/A-Umsetzern, welche den oberen und den unteren Teil der Adreßleitungen vom Prozessor aufnehmen und in entsprechende Analogsignale umsetzen. Werden alle Adressen nacheinander durchlaufen, ergibt sich ein zeilenweises Beschreiben des Bildschirms entsprechend einem Fernsehbild. Die 256 Zeilen haben im genannten Beispiel 256 Byte Länge. *Bild 2* erläutert den Zusammenhang zwischen der adressierten Speicherzelle und ihrem Platz auf dem Bildschirm. Mit zwei Potentiometern können die Amplituden der Ausgänge auf das Oszilloskop abgestimmt werden, so daß der gesamte Speicherraum genau die Bildschirmfläche einnimmt.

Die optische Darstellung liefert Angaben darüber, welchen Platz des Programmspeichers der Rechner abarbeitet und vor allem, wenn er sich in einer Schleife festläuft, wo diese sich etwa befindet. Ebenfalls deutet die Helligkeit bestimmter Segmente auf häufiges Abarbeiten z. B. von Subroutinen hin. Bei Speichertests wird der getestete Bereich als breiter Balken sichtbar. Insgesamt ergibt sich eine gute Ergänzung zu Software-Testmöglichkeiten, wobei der Anwendungsbereich hauptsächlich bei kleinen Mikrocomputersystemen mit wenigen Prüfmöglichkeiten liegt.

Martin Görlitz

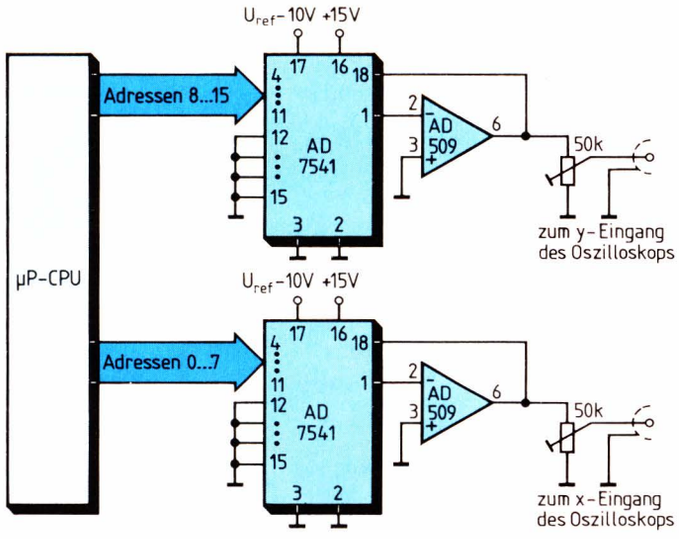


Bild 1. Memory-Mapping für beliebige µPs

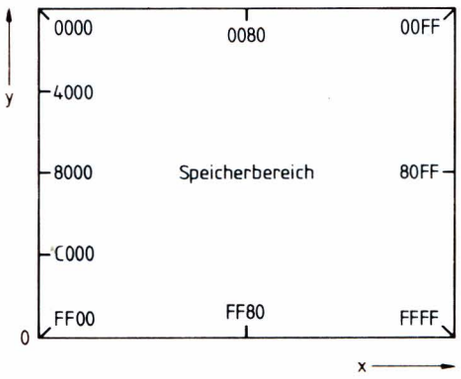


Bild 2. Zusammenhang zwischen Speicherzelle und deren Platz auf dem Bildschirm

Spannungen und Frequenzen mit geringem Aufwand gemessen

Am Institut für Datentechnik der Technischen Hochschule Darmstadt wurde ein Meßgerät entwickelt, das sowohl Spannungen als auch Frequenzen mißt und das neben einem Einchip-Mikrocomputer und einer Anzeigeeinheit nur wenige Bauteile benötigt. Die Frequenz wird durch Messung der Periodendauer bestimmt, was sich besonders bei tiefen Frequenzen als sehr günstig erweist. Für die Spannungsmessung wurde ein integrierendes Verfahren gewählt, bei dem die Steuerung vom Mikrocomputer übernommen werden kann.

Spannungsmessung

Die Schaltung zeigt *Bild 1*. Bei der Betriebsart „Spannungsmessung" befindet sich der Doppelschalter S 1, S 2 in Stellung a. Das Gerät arbeitet im Prinzip nach dem „Charge-Balancing"-Verfahren, das z. B. in [1] beschrieben ist. Durch den Einsatz des Mikrocomputers wird der Analogteil der Schaltung sehr viel einfacher als der in [1] beschriebene. Er enthält nur einen Operationsverstärker sowie wenige Widerstände und Kapazitäten. In dem gezeigten Beispiel wird über den Widerstand R_1 die zu messende Spannung U_1 dem Minus-Eingang des als Integrator geschalteten Operationsverstärkers zugeführt. Dem Ausgang P 2 des in N-Kanal-Technik ausgeführten Mikrocomputers 8748 (Intel) wird ein CMOS-Invertierer nachgeschaltet. Er wirkt als geschaltete Spannungsquelle mit Spannungen von 0 V oder 5 V. Sie ist über den Widerstand R_2 ebenfalls mit dem Integratoreingang verbunden. Vom Mikrocomputer wird die Ausgangsspannung U_3 des Integrators in regelmäßigen Abständen von 50 µs abgefragt (*Bild 2*).

Dabei wird festgestellt, in welchem logischen Pegelbereich sich die Analogspannung gerade befindet. Dazu braucht man in dieser Schaltung, im Gegensatz zu bekannten Ausführungen nach dem „Charge-Balancing"-Verfahren, keinen Komparator, sondern kann vom Ausgang des Integrators direkt zu einem digitalen Signaleingang gehen. Je nach Ergebnis dieser Abfrage setzt der Mikrocomputer die Ausgangsspannung U_2 auf den entsprechenden logischen Pegel 0 V oder 5 V, so daß wegen der Invertiererwirkung des Operationsverstärkers die Ladung in der Kapazität C_1 um einen Mittelwert schwankt. Eine Spannungsmessung umfaßt beispielsweise N = 5000 Abfragezyklen. Während der ganzen Zeit fließt in den Integrator der Strom $I_1 = \frac{U_1}{R_1}$. Ist während n Zyklen die Spannung $U_2 = 0$ V, so fließt in den Integrator der Strom $I_2 = -2{,}5\ V/R_2$. In den übrigen N–n Zyklen, in denen $U_2 = 5$ V ist, fließt der Strom $I'_2 = 2{,}5\ V/R_2$ in den Integrator. Da bei der Messung die Ausgangsspannung U_3 im Mittel konstant gehalten wird, was nur bei ei-

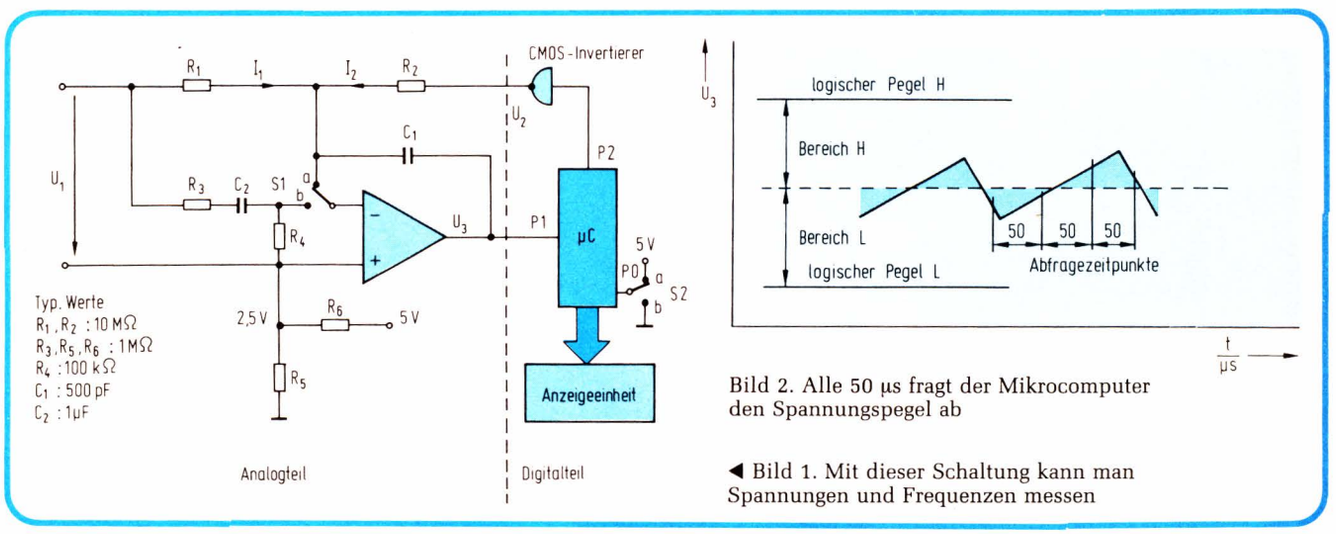


Bild 2. Alle 50 µs fragt der Mikrocomputer den Spannungspegel ab

◀ Bild 1. Mit dieser Schaltung kann man Spannungen und Frequenzen messen

nem im zeitlichen Mittel verschwindenden Eingangsstrom möglich ist, gilt die Beziehung:

$$N \cdot I_1 + n \cdot I_2 + (N - n) \cdot I'_2 = 0$$

bzw.

$$N \cdot \frac{U_1}{R_1} - n \cdot \frac{2{,}5\ V}{R_2} + (N - n) \cdot \frac{2{,}5\ V}{R_2} = 0$$

Daraus folgt:

$$N \cdot \frac{U_1}{5000\ mV} = n - \frac{N}{2}$$

Mit N = 5000 wird daraus:

$$\frac{U_1}{mV} = n - 2500$$

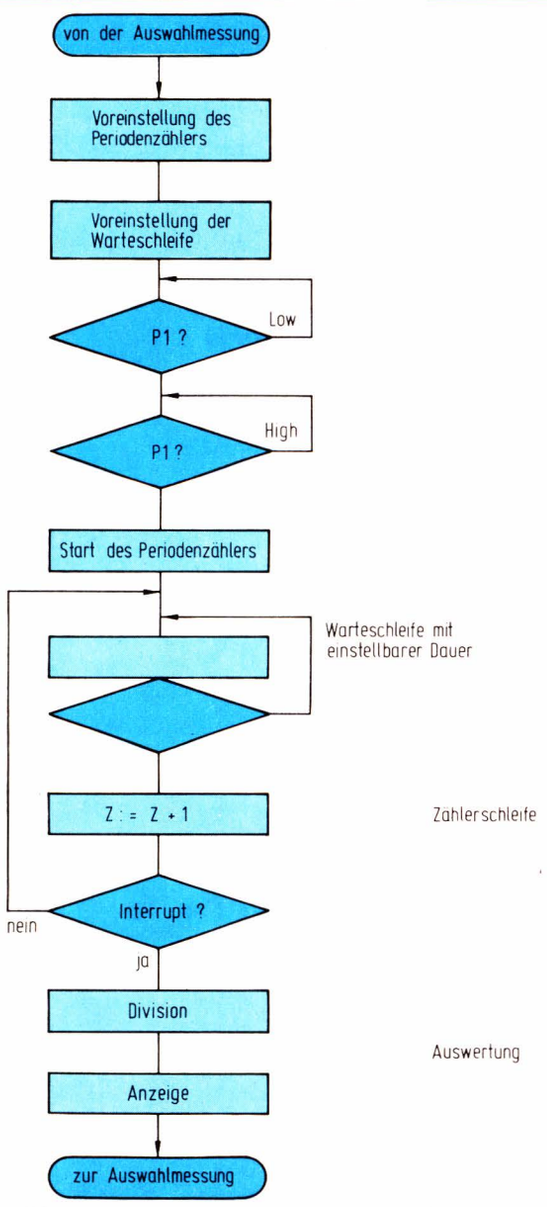


Bild 3. Vor der Frequenzmessung, deren Ablauf das Flußdiagramm darstellt, bestimmt der Mikrocomputer den Meßbereich

Das heißt: zählt man von den 5000 Zyklen jene zusammen, bei denen U_2 auf 0 V gesetzt wurde, und zieht man vom Ergebnis 2500 ab, so erhält man den Wert der Spannung U_1 in mV. Dies ist besonders einfach zu berechnen und benötigt daher wenig Speicherplatz im Mikrocomputer. Man beachte, daß U_1 positiv oder negativ sein kann. Das bedeutet, der Meßbereich des Gerätes geht im genannten Beispiel von –2,5...+2,5 V. In bekannten Meßgeräten müssen zusätzliche Maßnahmen ergriffen werden, um Spannungen beider Polaritäten messen zu können.

Frequenzmessung

Die Verwendung eines Mikrocomputers macht es möglich, mit geringen zusätzlichem Hardwareaufwand Frequenzen durch die Messung der Periodendauer zu bestimmen. Besonders bei niedrigen Frequenzen ist dieses Meßprinzip der üblichen Methode einer Frequenzzählung nach dem Torzeitprinzip überlegen. Um bei der Messung der Netzfrequenz einen Fehler von 0,1 % zu erzielen, ist beim Frequenzzähler eine Torzeit von 20 s erforderlich, während hierfür mit dem im folgenden beschriebenen Verfahren für Messung, Auswertung und Anzeige nur zwischen 0,1 und 0,2 s benötigt werden. Neben den niedrigen Frequenzen können auch höhere Frequenzen schnell und mit großer Genauigkeit bestimmt werden, indem die Zeit mehrerer Perioden gemessen wird. Bei der Betriebsart „Frequenzmessung" muß der Doppelschalter S 1, S 2 in Stellung b stehen. Da der Operationsverstärker nun nicht mehr gegengekoppelt ist, bewirkt schon eine kleine Wechselspannung U_1 am Eingang ein Schalten der Spannung U_3 zwischen den Extremwerten der Verstärkerausgangsspannung. Der auf diese Weise entstehende Spannungsverlauf wird vom Mikrocomputer abgefragt. Am Eingang P 0 des Mikrocomputers wird über den Schalter S 2 die Betriebsart „Frequenzmessung" gemeldet. Der Mikrocomputer durchläuft damit das Frequenzmesserprogramm (*Bild 3*). Es werden zwei Zähler verwendet; darunter ein Softwarezähler. Es handelt sich dabei um eine Zählschleife, die während der Periodendauermessung fortgesetzt durchlaufen wird. Vom Zählergebnis wird der Kehrwert berechnet und als Frequenz zur Anzeige gebracht. Um eine hohe Genauigkeit zu erreichen, muß dieses Zählergebnis möglichst groß sein. Wegen der gegebenen Taktfrequenz des Mikrocomputers führt dies bei höheren Frequenzen zu Schwierigkeiten. Deshalb wird in diesem Fall die Dauer mehrerer Perioden gemessen. Dies geschieht durch die Verwendung eines zweiten Zählers, der auf dem Mikrocomputer-Chip integriert (8 Bit) ist. Er wird, entsprechend der Zahl der auszumessenden Perioden, voreingestellt und gemeinsam mit dem Schleifenzähler am Beginn einer Periode gestartet. Der Ereigniszähler beendet die Messung, indem er durch Überlauf einen Interrupt auslöst, wodurch die Zähl-

schleife verlassen und die Auswertung eingeleitet wird.

Bei sehr niedrigen Frequenzen wird die Dauer eines Schleifendurchlaufs durch Einstellung der Warteschleife verlängert. Damit und durch die unterschiedliche Zahl der zu messenden Perioden entstehen verschiedene Meßbereiche. Der eigentlichen Messung geht deshalb eine automatische Meßbereichsauswahl voraus. Sie mißt nach dem gleichen Prinzip und wählt je nach der Zahl der stattgefundenen Schleifendurchläufe den passenden Bereich. Nach diesem Verfahren können Frequenzen bis zu 50 kHz mit einem Fehler unter 1 % gemessen werden. Durch Vorschalten von Frequenzteilern kann der Meßbereich beliebig erweitert werden.

Das Programm zur Spannungs- und Frequenzmessung benötigt etwa die Hälfte des 1 KByte umfassenden Programmspeichers des Mikrocomputers. Es bleibt also noch genügend Platz für zusätzliche Funktionen. Damit ergeben sich weitere Anwendungsmöglichkeiten. Für den medizinischen Bereich kann man beispielsweise mit geeigneten Sensoren den Blutdruck, den Herzschlag oder sonstige charakteristische zeitabhängige Größen aufnehmen. Das Gerät ist dann in der Lage, sowohl eine Kurzzeitmessung durchzuführen und z. B. aus einer einzigen Pulsschlagperiode die Pulsfrequenz zu ermitteln als auch eine Langzeitmessung über viele Perioden durchzuführen und daraus dann Mittelwert und Streuung mit großer Genauigkeit zu berechnen und anzuzeigen.

Dipl.-Ing. Manfred Lobjinski
Dieter Sinn
Joachim Arenz

Literatur

[1] Kime, R. G., Kusterer, V.: „Charge balancing" – ein neues A/D-Integrationsverfahren. ELEKTRONIK 1974, H. 12, S. 469...472.

Mikrocomputer als EPROM-Programmiergerät

Mit einem zusätzlichen Transistor, drei Widerständen und einer 24poligen IC-Fassung kann man den Mikrocomputer SYM-1 zum Programmiergerät für EPROMs des Typs 2708 (1 KByte) erweitern. Der auf der Leiterplatte vorhandene RAM-Speicher muß zu diesem Zweck ergänzt werden. Es genügt, in die freien Fassungen zwei RAM-Bausteine 2114 einzustecken.

Programmiervorgang

Wie aus den Datenblättern zu entnehmen ist, muß zur Programmierung der $\overline{CS}$/WE-Eingang auf +12 V gelegt werden. Die Adressen und die zugehörigen Datenbytes müssen nacheinander an das EPROM angelegt werden, wobei ein Programmierimpuls von maximal 27 V und einer Dauer t_{pw} von 0,1...1 ms gegeben wird. Ein einmaliges Durchlaufen aller Adressen genügt jedoch nicht. Die Anzahl N der Schleifen ist von der Programmierimpulsbreite in folgender Weise abhängig:

$$N \cdot t_{pw} \geqq 100 \text{ ms}.$$

Die daraus folgende Schleifenzahl ist normalerweise aber viel zu groß. Es genügt, nach jedem Schreibzyklus die Daten in EPROM und RAM zu vergleichen und bei Gleichheit noch einen zusätzlichen Programmierzyklus zur Sicherheit durchzuführen. Bei Ungleichheit muß auf jeden Fall ein neuer Zyklus folgen.

Schaltung

Da Adresse und Datenbyte während der Dauer des Programmierimpulses anliegen müssen, werden dazu die Peripheriebausteine 6522 (U25 und U29 auf der SYM-Leiterplatte) verwendet. Über U25, Port A (Anschlüsse 2...8, 14 des Applikationssteckers) werden die Daten und über U25, Port B (Bit 0...5 = Anschlüsse 9...13, 16 des Applikationssteckers) die sechs niederwertigen Adreßbits an das EPROM gelegt. Die höherwertigen Adreßbits (6...9) werden über U29, Port B (Bit 0...3 = Anschlüsse 16, T, 15, S des Hilfsapplikationssteckers) geliefert. Die Steuerung des 12-V-WE-Signals und des Programmierimpulses erfolgt über U29, Port B, Bit 4...6. Diese Anschlüsse sind auf der Leiterplatte über einen Transistor gepuffert (Anschlüsse Y, 21, Z des Hilfsapplikationssteckers). Durch Verwendung dieser Transistoren ergibt sich die einfache Schaltung von *Bild 1*. Der 220-Ω-Widerstand kann auf dem SYM-1 im E/A-Puffer eingebaut werden [1]. Über $+V_p$ können dann durch eine Drahtbrücke die +12 V angelegt werden.

Nach dem Einschalten bzw. nach einem Reset sind sämtliche Ports als Eingänge programmiert. Bei Port B bewirkt das, daß die nachfolgenden Transistoren leitend sind, also weder +12 V noch +24 V am EPROM anliegen.

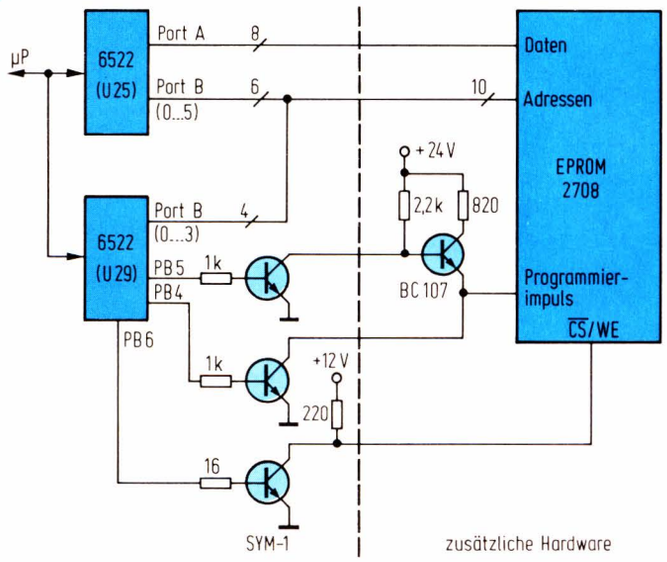


Bild 1. Anschluß des EPROMs an den Mikrocomputer SYM-1

```
0340 CD 57 A6  EPROM   CMP LSTCOM    A = letzter Command-Code?
  43 F0 02             BEQ RICHTIG   Sprung, wenn Z = 1 (ja)
  45 38        FALSCH  SEC           C = 1, Fehler
  46 60                RTS           Rückkehr
  47 C9 14     RICHTIG CMP #$14      A = Hashcode 14?, Taste USR 0?
  49 D0 FA             BNE FALSCH    Sprung, wenn Z = 0 (≠ 14)
  4B E0 02             CPX #$2       X = 2?, 2 Parameter?
  4D D0 F6             BNE FALSCH    Sprung, wenn Z = 0 (≠ 2)
  4F 20 60 03          JSR BEGINN    Programmierung
  52 20 4D 83          JSR CRLF      Ausgabe von Wagenrücklauf und
                                     Zeilenvorschub
  55 20 42 83          JSR SPACE     Ausgabe eines Zwischenraums
  58 20 FA 82          JMP OUTBYT    Ausgabe von A (= Rückkehrcode)
                                     als zwei Hexadezimalziffern
  5B 18                CLC           C = 0, kein Fehler
  5C 60                RTS           Rückkehr ins Betriebssystem
```

Bild 2. Erweiterungsprogramm für das Betriebssystem: Überprüft wird Taste USR0 mit zwei Parametern (RAM-Startadresse, Schleifenzähler)

Programm

Um die Bedienung des Programms zu erleichtern, wird das Betriebssystem um ein weiteres Kommando ergänzt. Dazu muß in den Vektor für ein unbekanntes Kommando URCVEC (Adr. A66D, A66E) die Startadresse des Erweiterungsprogramms für das Betriebssystem (*Bild 2*) eingegeben werden.

Als Funktionstaste für das aufzurufende Programm zur EPROM-Programmierung wird USR 0 (Hashcode 14) gewählt, als Parameter werden die Startadresse

```
0360 D8        BEGINN  CLD          D = 0
  61 A9 10             LDA #$10     } (00F4) = 16₁₀, maximal 16
  63 85 F4             STA  F4      } Programmierversuche
  65 A0 7F     WIEDER  LDY #$7F     } 2PB4 = 2PB5 = 2PB6 = 1, keine
                                    } +12 oder +24 V, höherwertige
  67 20 E0 03          JSR EAADR    } Adreßbits = 1
  6A A0 00             LDY #$0      Y = 0
  6C 8C 03 A0          STY APADD    Port A = Eingang
  6F A2 80     LESEN   LDX #$80     X = 80 (Rückkehrcode "falsch")
  71 B1 FE             LDA ($FE),Y  A = RAM-Byte
  73 CD 01 A0          CMP APAD     A = PROM-Byte?
  76 D0 0B             BNE PROM     Sprung, wenn Z = 0 (≠ PROM)
  78 20 C0 03          JSR DEKR     Dekrementieren von RAM- und PROM-
                                    Adresse, wenn schon = 0→C = 1
  7B 90 F2             BCC LESEN    Sprung, wenn C = 0 (Adr. ≠ 0)
  7D A9 01             LDA #$1      } (00F4) = 1, noch ein Programmier-
  7F 85 F4             STA $F4      } ablauf zur Sicherheit
  81 A2 00             LDX #$0      X = 00 (Rückkehrcode "gelungen")
  83 8A        PROM    TXA          } X→Stack (Rückkehrcode)
  84 48                PHA          }
  85 AE 4A A6          LDX P3L      X = Parameter 3 = Schleifenzähler
  88 A0 3F     WIEDER1 LDY #$3F     } 2PB4 = 2PB5 = 1→keine +24 V,
  8A 20 E0 03          JSR EAADR    } 2PB6 = 0→+12 V, Adresse H = F
  8D A9 FF             LDA #$FF     } Port A = Ausgang
  8F 8D 03 A0          STA APADD    }
  92 A0 00     PSCHL   LDY #$0      Y = 0
  94 B1 FE             LDA ($FE),Y  A = RAM-Byte
  96 8D 01 A0          STA APAD     Byteausgabe zum PROM
  99 AD 00 AC          LDA 2PBD     } 2PB4 = 2PB5 = 2PB6 = 0→+12 V
  9C 29 CF             AND #$CF     } und +24 V-Programmierimpuls
  9E 8D 00 AC          STA 2PBD     }
  A1 A0 1E             LDY #$1E     Y = 30₁₀, 150 µs-Verzögerung
  A3 88        VERZ    DEY          Y - 1→Y
  A4 D0 FD             BNE VERZ     Sprung, wenn Z = 0 (Y ≠ 0)
  A6 09 30             ORA #$30     2PB6 = 0→+12 V, 2PB4 = 2PB5 =
  A8 8D 00 AC          STA 2PBD     = 1→24 V-Programmierimpuls aus
  AB 20 C0 03          JSR DEKR     Dekrementieren von RAM- und PROM-
                                    Adresse, wenn schon = 0→C = 1
  AE 90 E2             BCC PSCHL    Sprung, wenn C = 0 (Adr. ≠ 0)
  B0 CA                DEX          X - 1→X (Schleifenzähler)
  B1 D0 D5             BNE WIEDER1  Sprung, wenn Z = 0 (X ≠ 0), noch
                                    eine Programmierschleife
  B3 68                PLA          A = Rückkehrcode
  B4 C6 F4             DEC $F4      (00F4) - 1 (Anzahl der Programmier-
                                    versuche)
  B6 D0 AD             BNE WIEDER   Sprung, wenn Z = 0 ((00F4) ≠ 0)
  B8 A2 70             LDX #$70     } 2PB4 = 2PB5 = 2PB6 = 1→
  BA 8E 00 AC          STX 2PBD     } keine +12 V oder +24 V
  BD 60                RTS          Rückkehr in das Erweiterungsprogramm
                                    für das Betriebssystem

Unterprogramm DEKR:

03C0 AD 00 A0  DEKR   LDA APBD
  C3 29 3F             AND #$3F     A = PROM-Adresse L
  C5 D0 0A             BNE D1       Sprung, wenn Z = 0 (Adr. L ≠ 0)
  C7 AD 00 AC          LDA 2PBD     } A = PROM-Adresse H
  CA 29 0F             AND #$0F     }
  CC F0 0C             BEQ NULL     Sprung, wenn Z = 1 (Adr. H = 0)
  CE CE 00 AC          DEC 2PBD     PROM-Adr. H - 1
  D1 CE 00 A0    D1    DEC APBD     PROM-Adr. L - 1
  D4 20 BE 82          JSR DECCMP   Betriebssystemunterprogramm zum
                                    Dekrementieren des Pointers (FE,FF)
  D7 18                CLC          C = 0 (PROM-Adr. ≠ 0)
  D8 90 01             BCC NNULL    unbedingter Sprung
  DA 38          NULL  SEC          C = 1 (PROM-Adr. war schon 0)
  DB 60          NNULL RTS          Rückkehr ins Hauptprogramm

Unterprogramm EAADR:

03E0 8C 00 AC  EAADR  STY 2PBD     Port B2-Datenregister geladen
  E3 A9 FF             LDA #$FF     } Port B2 als Ausgang
  E5 8D 02 AC          STA 2PBDD    }
  E8 A9 3F             LDA #$3F     } Port B (Bit 0 - 5) als Ausgang
  EA 8D 02 A0          STA APBDD    }
  ED 8D 00 A0          STA APBD     PROM-Adresse L = 3F
  F0 18                CLC          C = 0
  F1 AD 4C A6          LDA P2L      }
  F4 69 FF             ADC #$FF     } RAM-Adresse (= Parameter 2) +
  F6 85 FE             STA $FE      } + 03FF (= 1023₁₀) → Pointer
  F8 AD 4D A6          LDA P2H      } (FE, FF)
  FB 69 03             ADC #$03     }
  FD 85 FF             STA $FF      }
  FF 60                RTS          Rückkehr ins Hauptprogramm
```

Bild 3. Programm zur EPROM-Prgrammierung

des Datenblocks im RAM und die Anzahl der Schleifen pro Programmierversuch eingegeben. Das Erweiterungsprogramm überprüft zuerst den Hashcode und die Anzahl der Parameter. Stimmt eines von beiden nicht, wird am Display die beim SYM übliche Fehlermeldung ausgegeben. Sind beide richtig, wird in das Programm zur EPROM-Programmierung gesprungen, bei der Rückkehr der Rückkehrcode (00 = Programmierung gelungen, 80 = EPROM fehlerhaft programmiert) angezeigt und in das normale Betriebssystem gesprungen.

Im eigentlichen Programm zur EPROM-Programmierung (*Bild 3*) werden maximal 16 Programmierversuche durchgeführt. In jedem Versuch wird die Programmierschleife durch die 1024 Adressen so oft durchlaufen, wie als Parameter eingegeben wurde. Nach jedem Versuch findet ein Vergleich zwischen RAM- und EPROM-Daten statt. Bei Gleichheit wird zur Sicherheit noch ein Programmierablauf durchgeführt und dann mit dem Rückkehrcode 00 ins Betriebssystem gesprungen. Stimmen die Daten noch nicht überein, wird ein neuer Programmierversuch durchgeführt. Besteht nach 16 Programmierversuchen immer noch Ungleichheit, wird die Programmierung abgebrochen und mit 80 zurückgesprungen.

Sowohl beim Schreiben als auch beim Lesen und Vergleichen wird mit der höchsten Adresse begonnen. Die Ports der Peripheriebausteine 6522 werden bei jedem Schreiben und Lesen für die entsprechende Datenrichtung neu programmiert (Unterprogramm EAADR). Die Breite des Programmierimpulses wird durch eine Verzögerungsschleife auf etwa 150 µs festgelegt. Die als Parameter vorgebbare Schleifenzahl kann dann bei 15 liegen. Das Dekrementieren von RAM- und EPROM-Adresse erfolgt durch das Unterprogramm DEKR, das auch ein Betriebssystemunterprogramm zum Dekrementieren des Pointers 00FE, 00FF verwendet.

Die einfache Hardware zur Programmierung bedingt natürlich eine Verlagerung zur Software, wodurch die Programme etwas umfangreicher werden. Die Programmierzeiten sind aber trotzdem gering und liegen im Bereich von wenigen Sekunden.

Mag. Dr. Franz Handle

Literatur

1 SYM Reference Manual. Fa. Synertek.
2 Intel-Component Data Catalog. Fa. Intel.
3 *Licht, U.*: PROMs mit geringem Schaltungsaufwand programmiert. ELEKTRONIK 1978, H. 8, S. 61.

Universell verwendbares EPROM-Programmiergerät

Es wird ein Gerät für den Laborbedarf zum Programmieren von EPROMs vorgestellt, welches leicht und billig zu realisieren ist und sich je nach Bedarf an verschiedene EPROM-Typen anpassen läßt. Die angegebene Schaltung ist für ein 8080-System mit dem Parallel-Ein-/Ausgabe-Baustein 8255 vorgesehen. Mit der zur Verfügung stehenden Software können die EPROM-Typen 2758, 2716, 2732 und der Ein-/Ausgabe-Baustein 8755 A programmiert werden. Dabei sind die Vorschriften der EPROM-Hersteller genau zu beachten.

1 Schaltungsaufbau

Die Schaltung des Programmiergeräts besteht im wesentlichen aus dem Erzeugen der Programmierspannung und der Schnittstelle vom Mikroprozessor zum Sockel des zu programmierenden EPROMs.

1.1 Erzeugen der Programmierspannung

Die eingangs erwähnten Bausteine benötigen eine Programmierspannung am Anschluß Vpp von 25 V. Zum Lesen der Bausteine ist hier ein TTL-Signal auf „0" oder „1" zu legen. Diese Forderung macht es notwendig, eine vom Rechner aus umschaltbare Spannung zu erzeugen.

Als Primärspannungsquelle dient eine Wechselspannung von 24...28 V, die z. B. einer Weller-Lötstation entnommen werden kann. Nach dem Gleichrichten und Glätten steht eine Gleichspannung von ca. 30 V zur Verfügung.

Zwei Z-Dioden und die Ausgänge von zwei TTL-Invertern mit offenem Kollektor bilden die Basisspannung für einen als Spannungsfolger geschalteten NPN-Transistor T 1. Ein PNP-Transistor (T 2) begrenzt den Basisstrom auf ca. 3 mA. Für den Fall, daß die Basisspannung an T 1 0 V beträgt, wird dessen Ausgang (Emitter) hochohmig. Dies entspricht

jedoch nicht mehr einer logischen „0" in TTL-Logik. Eine Diode zwischen Emitter und Basis von T 1 schafft hier Abhilfe.

Über die beiden Eingänge der TTL-Inverter können nun die Spannungen 0 V, 5 V und 25 V umgeschaltet und mit den LEDs angezeigt werden.

1.2 Rechner-Schnittstellen

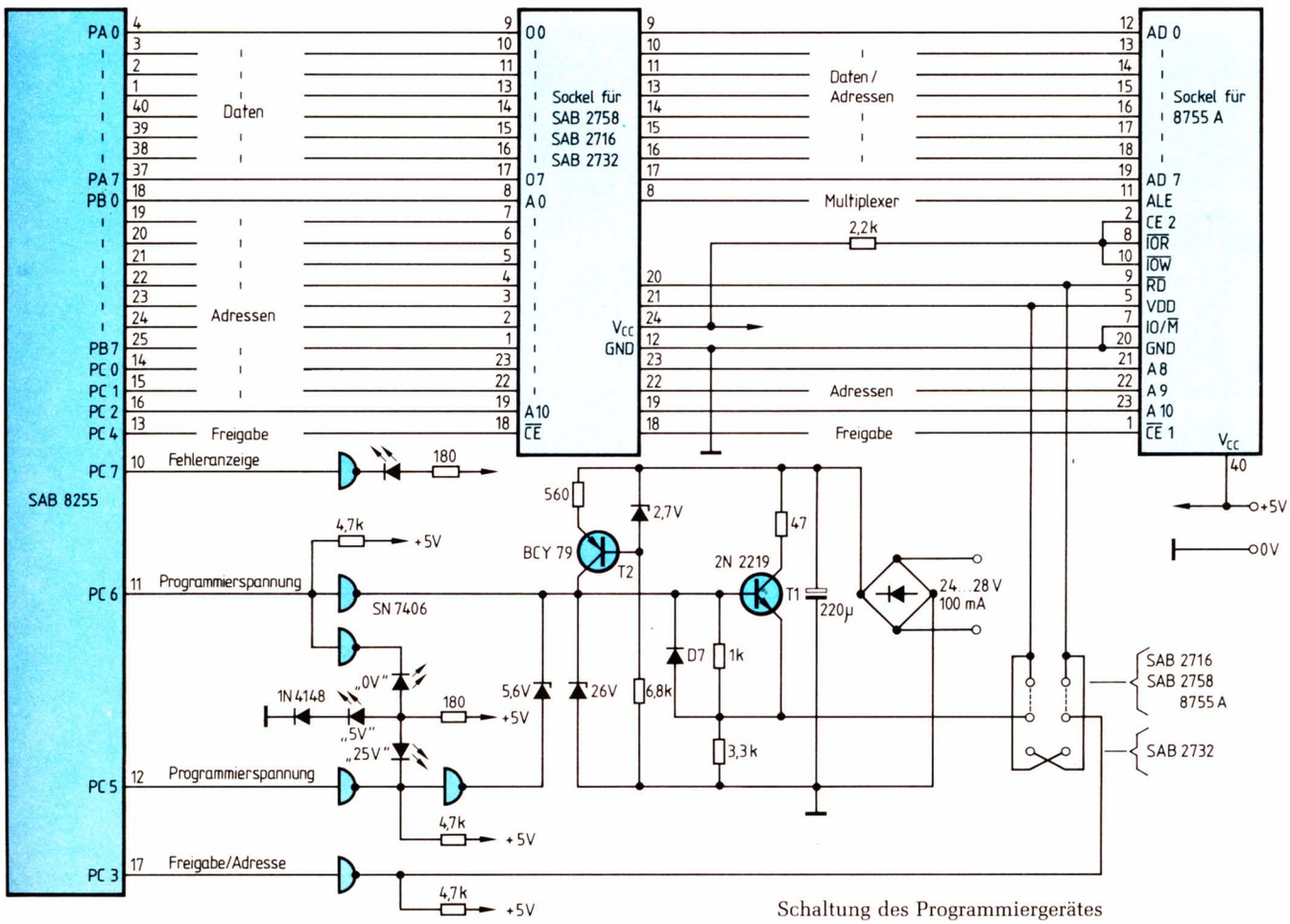
Als Schnittstelle zwischen dem Mikroprozessor und dem Sockel des EPROMs dient der Parallel-Ein-/Ausgabe-Baustein 8255. Er besitzt insgesamt 24 Ein- bzw. Ausgänge. Jeweils acht Leitungen sind zu einem Datenport zusammengefaßt. Jeder dieser Ports kann bei der Initialisierung des Bausteins als Ein- bzw. Ausgabeport definiert werden.

Zur Adressierung des EPROMs werden maximal 12 Leitungen benötigt (4-K-EPROM 2732). Für die Daten werden weitere acht Leitungen verwendet. Die verbleibenden vier Leitungen dienen zum Erzeugen der Programmierspannung Vpp (2 Bit), als Freigabesignal und als Fehleranzeige (jeweils 1 Bit).

Alle Datenleitungen, die Adreßleitungen A0...A10 und die Leitungen für das Freigabesignal werden vom Schnittstellen-Baustein 8255 direkt zu dem jeweiligen Anschluß des EPROM-Sockels geführt. Die Leitung für das Adreßbit A 11 wird bei den 1-K- bzw. 2-K-EPROMs als zusätzliche Freigabe verwendet und führt, um einen möglichen Konflikt auf den Datenleitungen zu vermeiden, ein invertiertes Signal. Die Leitung für die Fehleranzeige steuert über einen Inverter eine Leuchtdiode an.

Vor der Initialisierung des 8255 sind dessen Ein- und Ausgabeleitungen hochohmig. Danach werden alle Ausgabeleitungen auf „0" gesetzt, während alle Eingabeleitungen hochohmig geschaltet bleiben. Damit nun vor und nach der Initialisierung die Programmierspannung Vpp in keinem Fall auf 25 V geschaltet wird, was ein Zerstören des eingelegten EPROMs zu Folge haben könnte, wurde ein dritter Inverter bei PC 5 verwendet und der Eingang des Inverters an PC 6 mit einem Pull-up-Widerstand beschaltet.

Falls beide Steuerleitungen für die Spannungserzeugung den Wert „0" haben, ist Vpp = 5 V. Haben beide den Wert „1", so ist Vpp = 0 V. Damit ist



Schaltung des Programmiergerätes

Tabelle 1. Funktioneller Zusammenhang zwischen den I/O-Ports des 8255 und den EPROMs

8255 Port A:			*EPROM-Typen*
PA7	....	*PA0*	
O7	....	*O0*	*2716, 2758, 2732*
AD7	....	*AD0*	*8755*

8255 Port B:			*EPROM-Typen*
PB7	....	*PB0*	
A7	....	*A0*	*2716, 2758, 2732*
ohne Bedeutung		*ALE*	*8755*

8255 Port C:

PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
F	V_{PP}		$\overline{CE}$	$\overline{OE}$	A10*	A9	A8
F	V_{DD}		$\overline{CE_1}$	$\overline{RD}$	A10	A9	A8
F	$\overline{OE}/V_{pp}$		$\overline{CE}$	$\overline{A11}$	A10	A9	A8

* für 2758 entspricht PC2 = AR
F = programmierbare Fehleranzeige

Tabelle 2. Betriebsarten

2716/2758:

Betriebsart (Anschluß)	CE/PGM (18)	AR/A10 (19)	OE (20)	V_{PP}[V] (21)	O0...O7 (9...11,13...17)
Lesen	L	L/A10	L	5	Daten aus
hochohmig	L	X/X	H	5	hochohmig
Programmieren	⎍ 50ms	L/A10	H	25	Daten ein
Kontrollesen	L	L/A10	L	25	Daten aus

2732:

Betriebsart (Anschluß)	CE (18)	OE/V_{PP} (20)	O0...O7 (9...11, 13...17)
Lesen	L	L	Daten aus
hochohmig	X	H	hochohmig
Programmieren	L	⎍ 50ms 25 V	Daten ein
Kontrollesen	L	L	Daten aus

8755:

Betriebsart	ALE (11)	CE1 (1)	RD (9)	V_{DD} [V] (5)	AD0...AD7 (12...19)
Adreß-Übernahme*		L	H	5	A0...A7
Lesen	L	L	L	5	Daten aus
hochohmig	L	L	H	5	hochohmig
Programmieren	L	H	H	25	Daten ein

* Adreßübernahme ist vor jeder Operation notwendig

erreicht, daß die Programmierspannung Vpp = 25 V nur gezielt durch die Software eingeschaltet werden kann.

Drei weitere Leuchtdioden, die ebenfalls über Inverter angesteuert werden, dienen zur Anzeige des Wertes von Vpp.

2 Softwarebeschreibung

Die verwendete Software kann in zwei Teile zerlegt werden. Ein Teil dient zur Kommunikation mit dem Benutzer, der andere Teil zum Erzeugen der jeweiligen Steuersignale für das EPROM.

2.1 Kommunikation mit dem Benutzer

Die Bedienung des Programmiergerätes erfordert verschiedene Anfangsparameter. Sie werden mit Hilfe einer Eingabe-Routine eingegeben. Folgende fünf Parameter werden benötigt:

- Anfangsadresse eines Systemspeicherbereiches;
- Anzahl der zu lesenden/schreibenden Bytes;
- Anfangsadresse im EPROM;
- Typ des EPROMs;
- Befehlswort.

Der Typ des ERPOMs hat den Wert 0 für die EPROMs 2758 und 2716 (1 K und 2 K), den Wert 1 für das EPROM 2732 (4 K) und den Wert 2 für das EPROM mit Ein-/Ausgabe 8755 A (2 K). Das Befehlswort dient zur Unterscheidung, ob der Inhalt des EPROMs in den angegebenen Speicherbereich gelesen (Befehlswort = 0) oder mit dem Speicherbereich verglichen (Befehlswort = 1) oder ob der angegebene Speicherbereich in das EPROM geschrieben werden soll (Befehlswort = 2).

Die Eingaberoutine „INADDR" liest eine Zeichenfolge ein (Ziffern 0...9, Buchstaben A...F) und wandelt diese in eine Sedezimalzahl um. Die Rückgabe dieser Zahl erfolgt im Registerpaar < H, L >. Durch fünfmaligen Aufruf von „INADDR" werden die Parameter der Reihe nach in den Variablen „VON", „LAENGE", „NACH", „TYP" und „CODE" gespeichert.

Nach diesen Vorbereitungen kann nun das eigentliche Steuerprogramm ablaufen.

2.2 Erzeugen der Steuersignale für das EPROM

Für jeden EPROM-Typ sind bestimmte Steuersignale zum Lesen bzw. zum Programmieren erforderlich (Freigabesignal(e), Programmiersignal). Für die beschriebenen Typen sind die Werte dieser Signale aus den *Tabellen 1* und *2* zu ersehen.

Eine Software-Warteschleife dient zum Erzeugen von notwendigen Zeitintervallen. So wird z. B. zum Programmieren eines Bytes ein Zeitintervall von ca. 50 ms benötigt. Weitere Zeitschleifen sind zur Span-

nungsstabilisierung beim Umschalten von 0 V auf 5 V bzw. 25 V erforderlich.

Beim Lesen eines EPROMs werden der Reihe nach alle Adressen ausgegeben und das EPROM gelesen. Die Bytes werden ab der angegebenen Adresse gespeichert.

Wird ein EPROM mit einem Speicherinhalt verglichen, werden wie beim Lesen ebenfalls der Reihe nach alle Adressen ausgegeben. Stimmen die beiden Werte nicht überein, werden die Fehleranzeige eingeschaltet und die Adresse und die beiden Vergleichswerte ausgegeben.

Beim Programmieren eines EPROMs wird jedes zu programmierende Byte zuerst aus dem EPROM gelesen und mit dem Speicher verglichen. Ist ein Programmieren dieses Bytes nicht mehr möglich (d. h. mindestens ein Bit im EPROM ist 0 und soll den Wert 1 annehmen), so wird der Programmiervorgang abgebrochen und die Vergleichsroutine aufgerufen. Diese zeigt dann die Adresse des fehlerhaften Bytes an. Im Normalfall wird jetzt der Programmierimpuls gegeben und damit das entsprechende Byte in das EPROM geschrieben. Danach erhöht sich die Adresse um eins und das Programmieren setzt sich fort beim nächsten Byte. Nachdem alle Bytes programmiert sind, wird das gesamte EPROM mit dem angegebenen Speicherbereich verglichen.

Dipl.-Math. Gerhard Geitz
Ing. (grad.) Hans Thinschmidt

Das vollständige Programm kann über die ELEKTRONIK-Redaktion bei den Autoren angefordert werden.

Ein-/Ausgabe-Erweiterung für Mikrocomputer

Räumlich verteilte Schnittstellen, minimaler Kabelaufwand und einfache Modifikation der Ein-/Ausgabe-Kapazität sind die vorteilhaften Merkmale dieser Applikation.

Ursprünglich für den Kleincomputer PET entworfen, eignet sich dieses Ein-/Ausgabe-System auch für eine ganze Reihe anderer Anwendungen, wenn folgende Eigenschaften gefragt sind:

- räumlich verteilte E/A-Schnittstellen bei minimalem Kabelaufwand,
- einfache Modifikation oder Vergrößerung der E/A-Kapazität durch Auswechseln oder Einfügen von Bausteinen.

Das System besteht aus einer beliebigen Anzahl von Kettengliedern, die untereinander und mit dem Rechner durch ein fünfadriges Kabel zu einer großen Schleife verbunden sind.

Ein Kettenglied kann aus einem Gehäuse bestehen, in dem sich mehrere Schieberegister der Typen 4015 (Seriell-Parallel-Ausgabe), 4094 (zusätzlich mit Zwischenspeicher und Tri-State-Ausgängen) oder 4021 (Parallel-Seriell-Eingabe) zusammen mit einer Ansteuerung und eventueller weiterer Logik befinden.

Lese- und Schreibvorgänge erfolgen stets gleichzeitig und betreffen alle E/A-Leitungen, indem der Rechner zusammen mit den Ausgabedaten ein Taktsignal abgibt, das diese und alle anderen Registerinhalte so lange durch die gesamte Schleife schiebt, bis sie ihren Platz erreicht haben. Gleichzeitig kann der Rechner dann die Daten lesen, die ihn von der Schleife erreichen. Eine selektive Adressierung ist daher nicht möglich.

Beendet der Rechner den Takt, übernehmen die Kettenglieder nach einer Wartezeit die Daten aus den Schieberegistern in die Zwischenspeicher und signalisieren deren Verfügbarkeit. Gleichzeitig werden alle Schieberegister des Typs 4021 in den Parallel-Seriell-Betrieb geschaltet, um parallel geladen und mit der ersten Taktflanke des nächsten Schreib-/Lesevorgangs sofort wieder in den Seriell-Seriell-Betrieb zurückgeschaltet zu werden. Eine weitere Leitung, $\overline{\text{Ausgänge aktiv}}$, erlaubt die gleichzeitige Aktivierung der Ausgänge.

Bild 1 stellt eine von vielen möglichen Schaltungen eines Kettengliedes dar, hier mit je einem Byte-Eingang (4021), einem direkten Ausgang (4015) und einem mit Zwischenspeicher versehenen Tri-State-Ausgang (4094).

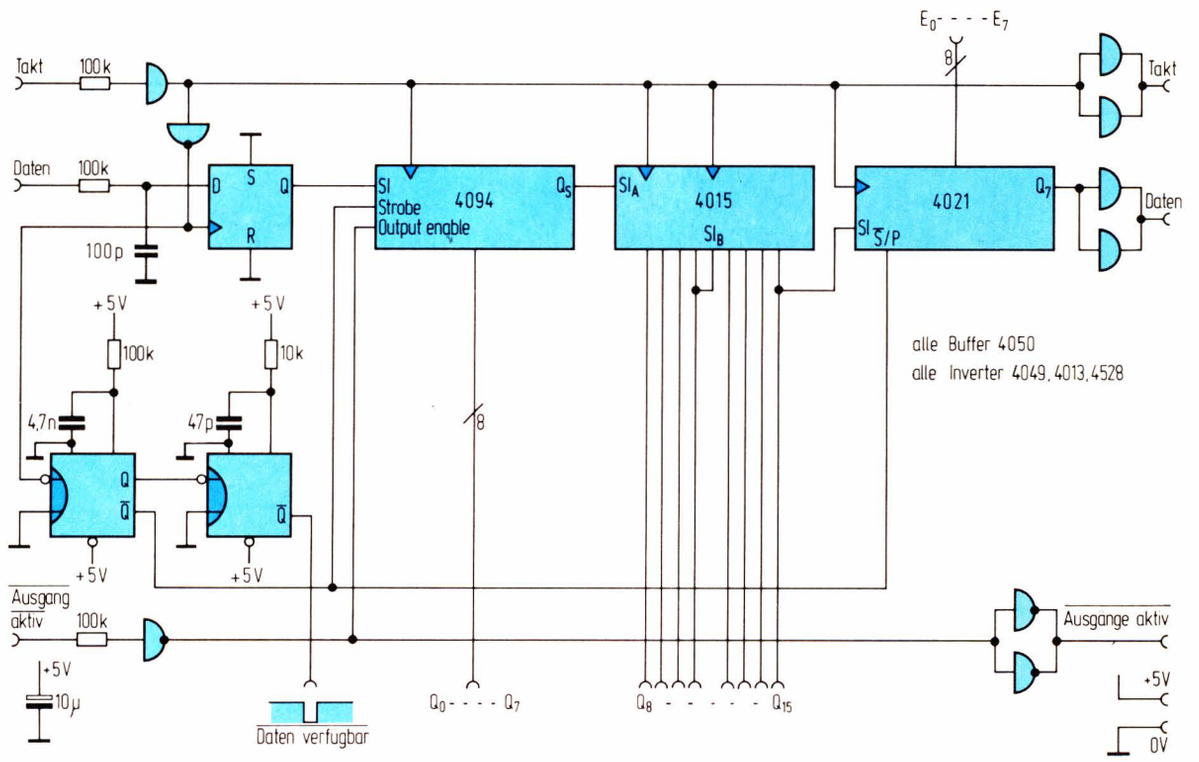


Bild 1. Schaltung eines Kettengliedes

Die beiden Monoflops dienen zum Erkennen des Taktendes, signalisieren angeschlossenen Geräten die Verfügbarkeit der Daten und steuern die Eingangsregister. Das D-Flipflop wird benötigt, um den Zustand der Datenleitung vor der positiven Taktflanke zu übernehmen. Andernfalls könnten unterschiedliche Verzögerungen in Takt- und Datenleitungen zu Störungen führen.

Rechnerseitig ist der Aufwand gering; benötigt wird ein kleines Interface zum Rechner mit Leitungstreibern und -empfängern sowie der Stromversorgung für alle angeschlossenen Kettenglieder. *Bild 2* zeigt das Rechnerinterface, jedoch ohne zugehörige Stromversorgung. Aus Kostengründen wurden die preisgünstigen Nf-Normstecker und -kabel gewählt.

Mit einem PET und einem Programm in Maschinensprache wurde eine Datenrate von 300 µs/Byte erreicht, d. h. eine Schleife mit 16 x 8 E/A-Leitungen ist in etwa 5 ms geladen und gelesen. Allerdings benötigt ein BASIC-Programm zur Vorbereitung und Auswertung der Daten ein Vielfaches dieser Zeit.

Als Erweiterung könnten die Kettenglieder mit Leistungstreibern oder -transistoren versehen oder voneinander durch Optokoppler galvanisch getrennt werden. Bei größeren Schleifen empfiehlt sich die galvanische Trennung an mindestens einem Punkt, vorzugsweise in Schleifenmitte. So sind alle Kettenglieder gleichmäßig mit Strom versorgt, und der Einfluß störender Streufelder ist gemindert.

Dipl.-Ing. Wolfgang Horn

Literatur

[1] VIA 6522. Datenblätter der Firma MOS-Technology.
[2] Integrated Circuits. Datenbuch der Firma RCA.

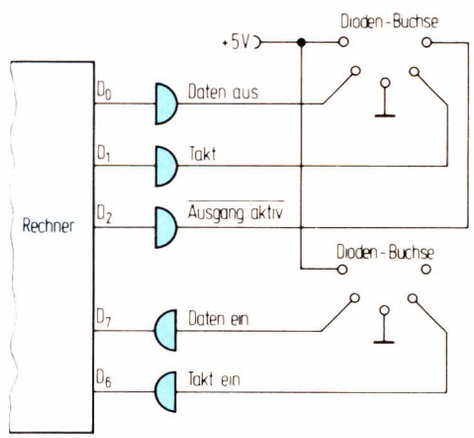


Bild 2. Rechnerinterface

Franzis informiert über Elektronik

mit den Zeitschriften ELO, FUNKSCHAU, ELEKTRONIK und mc:

Abonnements-Bestellkarten finden Sie nebenstehend.

Diese vier Zeitschriften berichten über das gesamte Gebiet der Elektronik. Jede dieser Zeitschriften informiert sachlich fundiert und klar gegliedert. Die einzelnen Redaktionskonzepte sind aufeinander abgestimmt und ergänzen sich gegenseitig.

Diese genau abgegrenzten Zuständigkeitsbereiche stellen sicher, daß jeder an der Elektronik Interessierte bei Franzis „seine" Zeitschrift findet.

Unsere über 50jährigen Verbindungen zu allen Elektronikzentren der Welt ermöglichen aktuelle und solide Berichterstattung über alles Wissenswerte aus Forschung, Technik, Industrie und Handel.

Auf der nächsten Seite sagen wir Ihnen detailliert, über welche Themenbereiche z. B. unsere Zeitschrift ELEKTRONIK berichtet.

Franzis'

Elektronik

Fachzeitschrift für Entwickler und industrielle Anwender

Die ELEKTRONIK ist die Fachzeitschrift für Schaltungs- und System-Entwickler sowie für industrielle Anwender. Dabei spielt die Digitaltechnik eine wesentliche Rolle.

Sie informiert über neue Bauelemente, Mikroprozessoren, Mikrocomputer und Minicomputer inkl. deren Peripherie, Meßtechnik, Steuer- und Regeltechnik, Prozeß- und Automatisierungstechnik, Optoelektronik, Nachrichtentechnik und Fertigungstechnik.

Besonders intensiv betreut werden dabei Bauelemente aller Art, vor allem aber integrierte Schaltungen und deren Anwendungsmöglichkeiten.

Einen weiteren Schwerpunkt des redaktionellen Programms stellen Fachbeiträge über Mikrocomputer als Bausteine und Baugruppen dar, die in allen Bereichen der Technik eingesetzt werden, z. B. in der Datentechnik, Nachrichtentechnik, Steuer- und Regeltechnik, Automatisierungstechnik, Meßtechnik und Konsumelektronik. Ausführlich behandelt werden nicht nur Hardware-, sondern auch Software-Probleme.

Einen breiten Raum nehmen auch meßtechnische Fragen, beispielsweise in Verbindung mit automatischen Testsystemen sowie fertigungstechnische Probleme ein.

Neu auf den Markt kommende, aktive, passive, elektromechanische und optoelektronische Bauelemente, Sensoren, Baugruppen sowie Geräte, wie z. B. Meßgeräte, werden detailliert beschrieben. Es wird aufgezeigt, wie man sie praktisch einsetzt und für welche Zwecke sie verwendet werden können. Trend- und Übersichtsartikel ergänzen dieses Angebot.

Mehrere ständige Rubriken machen die Zeitschrift zu einer aktuellen Informationsquelle über technische und wirtschaftliche Entwicklungen im In- und Ausland mit den Schwerpunkten USA und Japan. So werden im „Elektronik-Markt" die neuesten Produkte vorgestellt, in den „Elektronik-Notizen" wird über das technische und technologische Geschehen innerhalb der Elektronik-Branche sowie deren Nachbargebiete berichtet, und im „Elektronik-Express" findet der wirtschaftlich Interessierte die neuesten Meldungen und Nachrichten. Schließlich vermittelt eine umfasende internationale „Literaturschau" in jedem Heft den unerläßlichen Blick über den Zaun.

In dem umfangreichen Anzeigenteil finden Sie einen für die Branche repräsentativen Stellenmarkt.

ELEKTRONIK-Beiträge sind praxisnah geschrieben und deshalb für Ihre täglichen Probleme direkt verwertbar.

Die ELEKTRONIK erscheint 25mal im Jahr, alle 14 Tage am Freitag.
Das Einzelheft kostet 4,80 DM im Inland, 5,– DM im Ausland,
das Jahresabonnement 104,40 DM im Inland, 111.60 DM im Ausland.

Franzis-Verlag
Karlstraße 37, 8000 München 2